

**Коммерциялық емес  
акционерлік қоғам**



**АЛМАТЫ  
ЭНЕРГЕТИКА  
ЖӘНЕ  
БАЙЛАНЫС  
УНИВЕРСИТЕТІ**

**Электрмен жабдықтау  
және энергияның  
жаңғыртылатын көздері  
кафедрасы**

## **МИКРОПРОЦЕССОРЛЫҚ ТЕХНИКА НЕГІЗДЕРІ**

5B071800 – Электр энергетика және 5B081200 – Ауыл шаруашылығын энергиямен қамтамасыз ету мамандығының студенттеріне арналған дәрістер жинағы

Алматы 2018

ҚҰРАСТЫРУШЫЛАР: Мустагулова Б.Ж. Микропроцессорлық техника негіздері. 5B071800 – Электр энергетика және 5B081200 – Ауыл шаруашылығын энергиямен қамтамасыз ету мамандығының студенттеріне арналған дәрістер жинағы – Алматы: АЭЖБУ, 2018. – 48 б.

«Микропроцессорлық техника негіздері» курсына сәйкес, осы дәрістер курсына пәннің оқу-әдістемелік кешенінде өндірістің технологиялық процестерін автоматтандыру құралдарын және есептеуіш, жүйелерді тұрғызу кезінде қолданылатын микропроцессорлардың негізгі түрлері жазылған. Микропроцессорлық жүйелерді ұйымдастыру принциптері, оларды функционалдау алгоритмдері қарастырылады. Микропроцессорлық жүйенің (МПЖ) құрамы, негізгі міндеттері, шиналары бойынша ақпараттарды бағдарламалық алмастыру, ақпараттарды алмастыру циклдары және олардың фазалары, жадыға тікелей кіруді (ЖТК) қолдану арқылы алмастыру, жұмыс режимдері қарастырылады.

Ил. 19, кесте 4, әдебиет көрсеткіші – 14 атау.

Пікір беруші: аға оқытушы А.А.Абдурахманов

«Алматы энергетика және байланыс университеті» коммерциялық емес акционерлік қоғамының 2018 жылғы қосымша жоспары бойынша басылады.

©«Алматы энергетика және байланыс университеті» КЕАҚ, 2018 ж.

## Кіріспе

Микропроцессорлық жүйенің (МПЖ) құрамы, негізгі міндеттері, шиналары бойынша ақпараттарды бағдарламалық алмастыру, ақпараттарды алмастыру циклдары және олардың фазалары, жадыға тікелей кіруді (ЖТК) қолдану арқылы алмастыру, ұйымдастыру принциптері, оларды функционалдау алгоритмдері, жұмыс режимдері, командалар жүйесі туралы жалпы мағлұматтар, шиналары бойынша ақпараттарды бағдарламалық алмастыру, ақпараттарды алмастыру циклдары және олардың фазалары қарастырылады.

Микропроцессорлық жүйелерді барлық электрлік құрылғыларда пайдалану заманауи қоғамның техникалық инфрақұрылымының маңызды ерекшелігі болып табылады. Электр энергетикасы, өнеркәсіп, көлік, байланыс жүйелері компьютерлік басқару жүйелеріне тәуелді. Микропроцессорлық жүйелер әртүрлі процестерді басқару және ақпаратты өңдеуді автоматтандыруға арналған. Микропроцессорлық жүйелер өлшеу құралдарына, электр аппараттарына, жарықтандыру қондырғыларына және т.б. құрастырылады. Мұның барлығы электрэнергетика мамандарына микропроцессорлық техниканың негіздерін меңгеруді міндеттейді. Микропроцессорлық жүйе жабдықты аппараттық және бағдарламалық қамтамасыз етеді.

## Мазмұны

Кіріспе.....	3
1 дәріс. Микропроцессорлық жүйенің (МПЖ) құрамы. Микропроцессорлық жүйенің негізгі міндеттері.....	5
2 дәріс. Микропроцессорлық жүйенің (МП) шиналары бойынша ақпараттарды бағдарламалық алмастыру. Ақпараттарды алмастыру циклдары және олардың фазалары. Жадыға тікелей кіруді (ЖТК) қолдану арқылы алмастыру.....	10
3 дәріс. Микропроцессорлық жүйелердің (МПЖ) жұмыс режимдері. Микропроцессорлы жүйелердің (МПЖ) құрылымы.....	18
4 дәріс. Intel топтамасының процессорлы құрылғылары.....	23
5 дәріс. Intel топтамасының процессорлы құрылғылары. i8085 микропроцессорының командалық циклы, жұмыс алгоритмі .....	29
6 дәріс. Микроконтроллерлердің ақпаратты енгізу-шығару порттары. Арнайы тағайындалған регистрлер.....	32
7 дәріс. Командалар жүйесі туралы жалпы мағлұматтар. Командалар форматы және тізімі.....	40
8 дәріс. Байттармен, биттармен, басқару командалары және тұрақтылармен жұмыс істеу командалары. Бағдарламалау және тексеру (отладка) ерекшеліктері. Байттармен жұмыс істеу командалары.....	43
Әдебиеттер тізімі.....	48

# **1 дәріс. Микропроцессорлық жүйенің (МПЖ) құрамы. Микропроцессорлық жүйенің негізгі міндеттері**

**Дәрістің мазмұны:** микропроцессорлық жүйенің (МПЖ) құрамы, микропроцессордың шиналық құрылымы.

**Дәрістің мақсаттары:** микропроцессорлық жүйелерді (МП) ұйымдастыру принциптерін және олардың байланыстарының құрылымын оқыту.

## **1.1 Негізгі түсініктемелер**

Микропроцессор (МП) - кез-келген микропроцессорлық жүйелердің орталық бөлігі болып табылады, яғни оның құрамында АЛҚ (арифметикалық логикалық құрылғы) және командалық циклді тарататын басқару қондырғысы болады. Микропроцессор тек микропроцессорлық жүйенің (МПЖ) құрамымен қызмет атқара алады. МПЖ құрамына келесілер кіреді: жады, енгізу/шығару құрылғылары, қосымша сұлбалар (тактілі генератор, үзу контроллері және жадыға тікелей кіру (ЖТК), шиналық құрылымдар, регисторлар-ысырмалар және т.б.)

Микропроцессорлық жүйе (МПЖ) - бұл ақпаратты өңдейтін негізгі құрылғысы МП болып табылатын, бақылап-өлшегіш, есептегіш немесе басқарушы жүйе. Микропроцессорлық жүйе микропроцессорлық үлкен интегральдық сұлбалар (ҮИС) жиынтығынан құрылады.

МПЖ келесі негізгі есептерді міндеттерді шешеді: ақпаратты жинақтау; өңдеу; өлшеу нәтижелерін көрсету (қажет болған жағдайда) және осы мәліметтерді байланыс каналы бойынша беру.

Ақпараттарды жинақтауға жататындар: түрлендіргіш құрылғыға (аналог-код) импульстік-аналогты сигналдарды коммутация жолымен жасайтын датчиктерді сұрастыру; аналогты сигналдарды сандыққа түрлендіру; датчик сигналдарының түрлендіргіштің кіріс тізбегіндегі сигналдармен сәйкестігі; берілген деңгейден ауытқыған сигналдарды жою және анықтау; мәліметтерді тіркеу және оларды индикациалық қондырғыда кескіндеу.

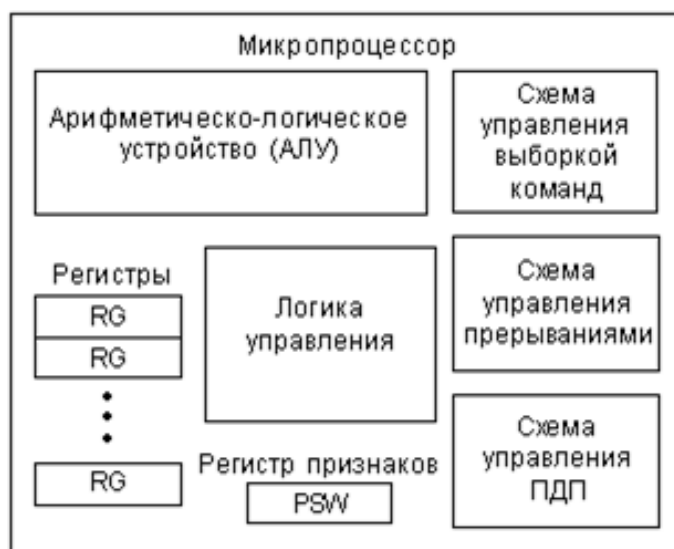
Ақпаратты өңдеу: сызықтандыру (сызықты функциональды тәуелділікті есептеу); масштабтау және түзетулерді енгізу; фильтрлеу, экстраполяциялау, шектік жіберілумен мәліметтерді салыстыру.

Өлшеу немесе басқару нәтижелерін көрсету: жіберуге ыңғайлы болу үшін мәліметтерді түрлендіру; байланыс каналдары бойынша мәліметтерді беру кезіндегі байланыс хаттамаларымен келісімі; ақпаратты беру және қабылдау жылдамдығының және аралық таралуының сәйкестігі.

Микропроцессорлық жүйе өзімен бірге аппараттық (Hard Ware) және бағдарламалық құралдар (Soft Ware) жиынтығын көрсетеді. Яғни аппараттық құралдар жоғарғы тезәрекеттілік пен өнімділігін қамтамасыз етеді, ал бағдарламалық құралдар- МПЖ шешетін міндеттерінің ауқымын кеңейтеді.

МПЖ көпфункционалы және арнайы тағайындалған модулдердің арасындағы байланыс негізінен екі жолмен ұйымдастырылады: біріншісі «әркім әркіммен» деген принципті тарататын еркін байланыс көмегімен, және де екіншісі ретке келтірілген байланыс тораб (магистраль) көмегімен.

Барлық процессормен орындалатын командалар, процессордық командалық жүйесін құрайды. Процессордың командалық жүйесінің құрылымы мен көлемі оның тезәрекеттілігін, икемділігін және қолдануға ыңғайлылығын анықтайды. Процессордағы барлық командалардың саны бірнеше оннан, бірнеше жүзге дейін болуы мүмкін. Команда жүйесі шешетін мәселе көлемінің аздығына байланысты (арнайы процессорлар) немесе шешілетін мәселелердің максимальды болуына байланысты (универсальды процессорлар) болып есептеліп жасалуы мүмкін. Командалар кодында разрядтар саны әр түрлі болуы мүмкін (1 ден бірнеше байтқа дейін). Әрбір команданың өзінің орындалу уақыты бар, сондықтанда барлық бағдарламаның орындалу уақыты, бағдарламадағы тек командалар санына байланысты емес, сондай ақ нақты қандай команданың орындалатынына тығыз байланысты болады. Командаларды орындау үшін процессордың құрылымына ішкі регистор, арифметикалық-логикалық құрылғы (АЛҚ, ALU — Arithmetic Logic Unit), мультиплексорлар, буферлар, регисторлар және де басқада түйіндер кіреді. Барлық түйіндердің жұмысы процессордың жалпы сыртқы тактілік сигналымен үйлестіріледі. Яғни процессор өзімен бірге күрделі сандық құрылғыны көрсетеді (1.1-сурет) [1].

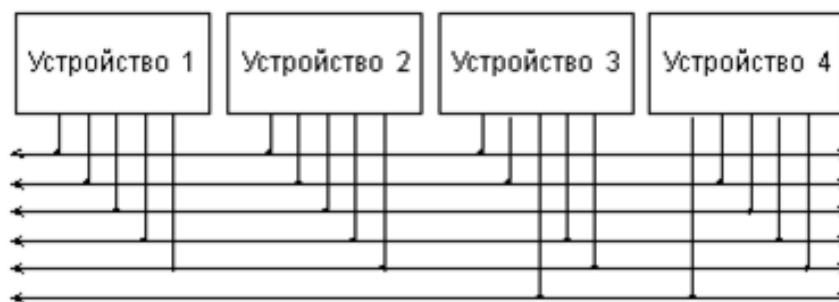


1.1 - сурет. Қарапайым процессордың құрылымы

## 1.2. Байланыстың шиналық құрылымы

Микропроцессорлық жүйеде ақпаратты алмастыруды оңайлату және максимальды универсалдыққа жету үшін, жүйеге кіретін жеке қондырғылардың арасын байланыстыратын шиналық құрылым қолданылады.

Байланыстың шиналық құрылымы кезінде, қондырғылар арасындағы барлық сигналдар, байланыстың сол бір линиясымен әр түрлі уақытта беріледі. Бұл беріліс мультиплексирленген беріліс деп аталады. Сондай ақ байланыстың барлық линиясы бойынша беріліс екі бағытта да іске асуы мүмкін. Мұндай берілісті екібағытты беріліс деп атайды. Нәтижесінде байланыс линияларының саны қысқарып, алмастыру ережесі (протоколдар) жеңілдетіледі. Кодтар немесе сигналдар берілетін байланыстың линиялық тобтамасын шина (англ. bus) деп атайды.



1.2 –сурет. Микропроцессордың шиналық құрылымы

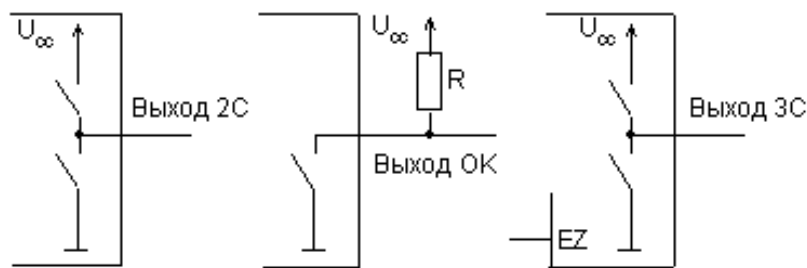
Артықшылығы: барлық құрылғылар шинаға қосылған, ақпаратты бір ереже бойынша (шина бойынша ақпаратты алмастыру протоколы) жібереді және қабылдайды. Сәйкесінше осы құрылғыдағы шинамен ақпарат алмастыратын барлық түйіндер, біркелкіленген, жүйеленген болуы қажет.

Кемшілігі: барлық құрылғылар әрбір байланыс линияларына параллельді жалғанған. Сондықтан да кез-келген құрылғының істен шығуы барлық жүйенің істен шығуына әкеліп соғуы мүмкін. Егер де ол байланыс линиясын бұзатын болса.

Байланыстың шиналық құрылымды жүйесі, сандық микросхемада болатын шығыс каскадтардың барлық үш түрін қолданады:

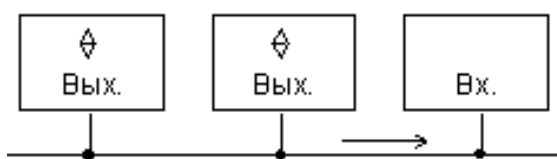
- стандартты шығыс немесе екі жақты шығыс (2С немесе 2S белгіленеді, TTL, TTL);
- ашық коллекторлы (АК) шығыс (АК немесе ОС белгіленеді);
- үш жақты шығысы бар немесе ажырату мүмкіндігі бар (3С, 3S деп белгіленеді).

2С шығысында логикалық бір (жоғарғы кілт тұйықталған) және логикалық нөл (төменгі кілт тұйықталған) деңгейіне сәйкес екі кілт кезекпе-кезек тұйықталады. АК шығысында тұйықталған кілт логикалық нөл деңгейін қалыптастырады, ал тұйықталмаған кілт логикалық бірді қалыптастырады. 3С шығысында кілттер кезекпе-кезек тұйықталуы мүмкін (2С жағдайындағы сияқты) не үшінші жоғарғы импеданс күйін түзей отырып бір уақытта ажыратылуы мүмкін. Үшінші күйге өту (Z-күйіне) EZ кірісіндегі арнайы сигналмен басқарылады (1.3-сурет).

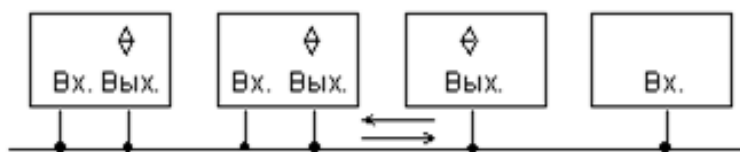


1.3 –сурет. Сандық микросхеманың үш түрлі шығысы

3С және АК типтерінің шығыс каскадтары мультиплексорлы (1.4-сурет) немесе екібағытты (1.5-сурет) линияларды алу үшін, микросхеманың бірнеше шығыстарын біріктіруге мүмкіндік береді.



1.4-сурет. Мультиплексирленген линия



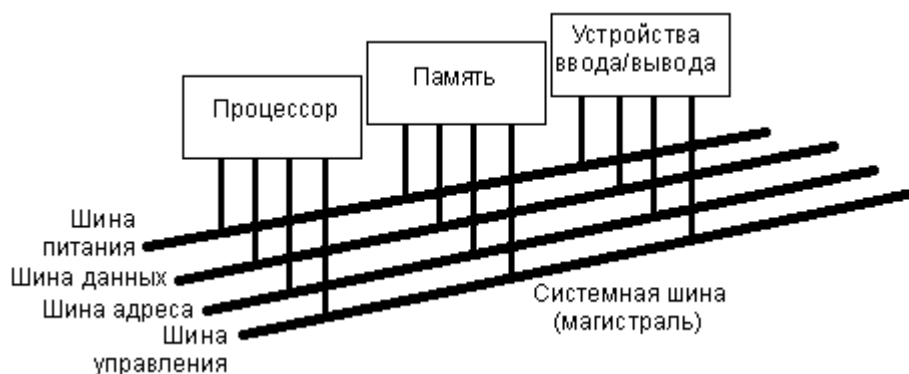
1.5-сурет. Екі бағытты линия

Осыған байланысты 3С шығыстары кезінде линияда үнемі тек бір ғана активті шығыстың жұмыс істеуін қамтамасыз ету керек. Ал басқа барлық шығыстары осы уақытта үшінші күйде болуы қажет, әйтпесе қақтығыстардың пайда болуы мүмкін.

Әдеттегі МПЖ құрылымы (1.6-сурет) көрсетілген. Оның құрамында үш негізгі құрылғы орналасқан:

- процессор;
- жады, яғни бағдарламаларды және мәліметтерді сақтау үшін-*жедел жады* (ОЗУ, RAM — Random Access Memory) және *тұрақты жады* (ПЗУ, ROM — Read Only Memory) болады;
- енгізу/шығару құрылғысы (УВВ, I/O - Input/Output Devices), олар микропроцессорлық жүйелерді сыртқы құрылғылармен байланыстыруға арналған. Яғни олар кіріс сигналдарды (енгізу, оқу, Read) қабылдауға және шығыс сигналдарды шығарып (шығару, жазу, Write) беруге арналған.





1.6 –сурет. Микропроцессорлық жүйенің құрылымы

Микропроцессорлық жүйенің барлық құрылғылары жалпы жүйелік шинаға (жүйелік магистральға) келіп бірігеді. Жүйелік магистральдың құрамында төрт негізгі төменгі деңгейлі шиналар болады:

- адрестік шина (Address Bus);
- мәліметтер шинасы (Data Bus);
- басқару шинасы (Control Bus);
- қорек шинасы (Power Bus).

Адрестік шина (АШ) – бұл дәл осы уақытта процессор қандай құрылғымен ақпаратты алмастырып жұмыс істеп жатқандығын, сонымен қатар құрылғының адресін (номерін) анықтайды. Микропроцессорлық жүйеде әрбір құрылғыға (процессордан басқа), әрбір жады ұяшықтарына жеке адрес беріледі. Адрестік шинаға қандай да бір адрестің коды процессормен қойылған кезде, осы адрес жазылған құрылғы оған ақпаратты алмастыру қажет болғанын түсінеді. Адрестік шина бір бағытты немесе екі бағытты болуы мүмкін.

Мәліметтер шинасы (МШ) – бұл микропроцессорлық жүйедегі барлық құрылғылар арасындағы ақпараттық кодтарды беру үшін қолданылатын негізгі шина болып табылады. Әдетте ақпараттарды жіберу кезінде жады ұяшығына немесе қандай да бір құрылғыға мәліметтер кодын беретін немесе жады ұяшығынан немесе қандай да бір құрылғыдан мәліметтер кодын қабылдайтын процессор болуы қажет. Сондай-ақ процессордың қатысынсыз құрылғылар арасындағы ақпараттарды беруі мүмкін. Мәліметтер шинасы әрқашанда екі бағытты болады.

Басқару шинасы (БШ) - бұл шинаның адрестік шинамен мәліметтер шинасынан айырмашылығы, оның құрамында жеке басқару сигналдарының болуында. Ақпараттарды алмастыру кезінде, осы әрбір сигналдың жеке функциясы болады. Кейбір сигналдар жіберілетін немесе қабылданатын мәліметтерді стробтау үшін қызмет атқарады (яғни мәліметтер шинасына ақпараттық кодтың қашан, қандай момент уақытында қойылғандығын анықтайды). Басқа басқарылатын сигналдар барлық құрылғыларды тактілеу және бастапқы күйге келтіру т.б. үшін, мәліметтерді қабылдауды растау үшін қолданылуы мүмкін. Басқару шинасының линиялары екібағытты немесе бірбағытты болуы мүмкін.

Қорек шинасы - ақпараттық сигналдарды жіберу үшін емес, ал керісінше жүйені қоректендіру үшін арналған. Ол қорек линиясынан және жалпы ортақ сымнан тұрады. Микропроцессорлық жүйеде бір ғана қорек көзі (+5 В) немесе бірнеше қорек көздері (-5 В, +12 В и -12 В) болуы мүмкін. Қорек көзінің әрбір кернеуіне сәйкесінше байланыс линиясы болады.

Жадының кез-келген ұяшығына жүктеу үшін, процессор оның адресін адрестік шинаға ұсынады және де сол арқылы мәліметтер шинасына ақпараттық кодты жібереді немесе мәліметтер шинасы арқылы одан ақпараттық кодтарды қабылдайды. Сондай-ақ жадыда (жедел және тұрақты жады) басқарушы кодтар (бағдарламалық процессормен орындалатын командалар) болады. Яғни процессор адрестік шина арқылы адрестерді мәліметтер шинасы бойынша оқиды. Тұрақты жады негізінде микропроцессорлық жүйенің бастапқы қосылғандағы бағдарламаларын сақтау үшін қолданылады, яғни әрбір кезде қорек көзінің қосылысынан кейін. Ондағы ақпараттар дайындаушылар арқылы мәңгі-бақи жасалынады.

Осылайша, микропроцессорлық жүйедегі барлық ақпараттық кодтар және команда кодтары кезекпе-кезек тізбектеле шиналар арқылы беріледі. Бұл салыстырмалы түрде микропроцессорлық жүйенің жылдамдығының жоғары еместігін анықтайды.

## **2 дәріс. Микропроцессорлық жүйенің (МП) шиналары бойынша ақпараттарды бағдарламалық алмастыру. Ақпараттарды алмастыру циклдары және олардың фазалары. Жадыға тікелей кіруді (ЖТК) қолдану арқылы алмастыру**

**Дәрістің мақсаттары:** Микропроцессорлық жүйенің (МП) шиналары бойынша ақпараттарды бағдарламалық алмастыру. Ақпараттарды алмастыру циклдары және олардың фазалары. Жадыға тікелей кіруді (ЖТК) қолдану арқылы алмастыру қарастырылады.

**Дәрістің мазмұны:** микропроцессорлық жүйенің (МПЖ) шиналары бойынша ақпараттарды бағдарламалық алмастыру және процестерді оқыту.

### **2.1 Жалпы мәліметтер**

МПЖ ақпараттардың алмасуы ақпаратты алмастыру циклдарында жүзеге асады. Ақпараттарды алмастыру циклі деп – шина арқылы қарапайым бір операцияның орындалуы іске асатын уақытша интервалды айтады. Мысалы, процессордан жадыға мәліметтер кодын немесе енгізу/шығару құрылғысынан процессорға мәліметтер кодын жіберу.

Ақпараттарды алмастыру циклі негізгі екі түрге бөлінеді:

- процессор ақпаратты жазатын (шығаратын), жазу циклі (шығару);
- процессор ақпаратты оқитын (енгізетін), оқу циклі (енгізу).

Кейбір МПЖ «оқу-модификация-жазу» немесе «енгізу-үзіліс-шығару» циклдары болады. Бұл циклдарда процессор жадыдан немесе енгізу/шығару құрылғыларынан ақпаратты оқиды, содан кейін оны түрлендіреді де тағыда дәл сол адрес бойынша жазады. Мысалы, процессор жады ұяшығынан кодты оқып, оны бірге ұлғайтып және тағыда оны осы жады ұяшығына (INR) жазуы мүмкін.

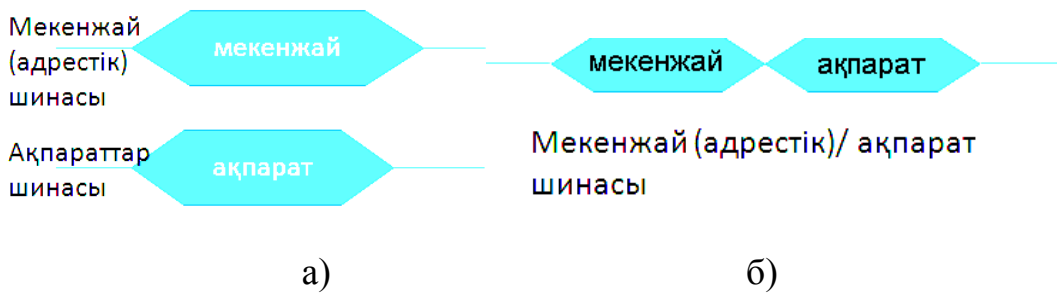
Ең маңызды орынды жадыға тікелей кіру (егерде ЖТК режимі қарастырылған болса), үзуді қайта беру (егер жүйеде үзу болса) және сұраныс циклдары алады.

Әрбір цикл уақытында ақпаратты алмастыруға қатысатын құрылғы бір-біріне ақпаратты басқарушы сигналдарды бекітілген тәртіп бойынша беріп отырады.

Ақпаратты алмастыру циклі уақытының ұзақтығы тұрақты немесе айнымалы болуы мүмкін. Бірақта ол жүенің тактілік жиілігінің бірнеше периодын өзіне қосып алады. Жүйе жадынан командалар кодын оқу, оқу циклінің көмегімен іске асырылады. Сондықтан біршіналы құрылым кезінде жүйелік магистральда команданы оқу циклі мен мәліметтерді беру (оқу және жазу) циклі кезектесіп орындалады. Бірақ алмастыру протоколы мәліметтер немесе команда берілгеніне тәуелсіз болғандықтан өзгеріссіз қалады. Ал екіншіналы құрылымда команданы оқу, жазу немесе мәліметтерді оқу циклдары жеке бөлек шиналарға бөлінеді де олар бір уақытта орындалуы мүмкін.

Мәліметтер шинасы мен адрестер шинасында оң немесе теріс логикалар қолданылуы мүмкін. Оң логика кезінде кернеудің жоғарғы деңгейі логикалық бірге тең, ал төменгісі логикалық нөлге тең болады. Ал теріс логика кезінде керісінше болады. Көп жағдайларда сигналдар деңгейі ТТЛ шинасында болады.

Магистральдардың байланыс сызықтарының санын жалпы азайту үшін адрестік шинаны (АШ) және мәліметтер шинасын (МШ) мультиплексирлеу қолданады: уақыттың әртүрлі моменттерінде адрестерді және мәліметтерді беру үшін (адрестің басқы циклі, мәліметтердің соңғы циклі) бірдей байланыс сызықтары қолданылады. Осы моменттерді фиксациялау (стробтау) үшін басқару шинасында (БШ) арнайы сигналдар қызмет етеді. Басқару шинасындағы (БШ) басқару сигналдары циклдің әртүрлі бөліктері мен стадияларына сәйкес келетін уақыт моментін (фиксируют) және ағымдағы циклдің түрін анықтайды. Сонымен қатар, басқарушы сигналдар процессордың (немесе магистральдың басқа иесін, master) жадымен немесе енгізу/шығару құрылғысымен (орындаушы-құрылғы, slave) жұмыс істеуін сәйкесінше қамтамасыз етеді. Сондай ақ басқарушы сигналдар сұранысты және үзуді жіберуді және тура кіруді қамтамасыз етеді.



а) мультиплекстенген емес шина; б) мультиплекстенген шина.  
 2.1 –сурет. Адресстер мен мәліметтер шинасын мультиплексірлеу

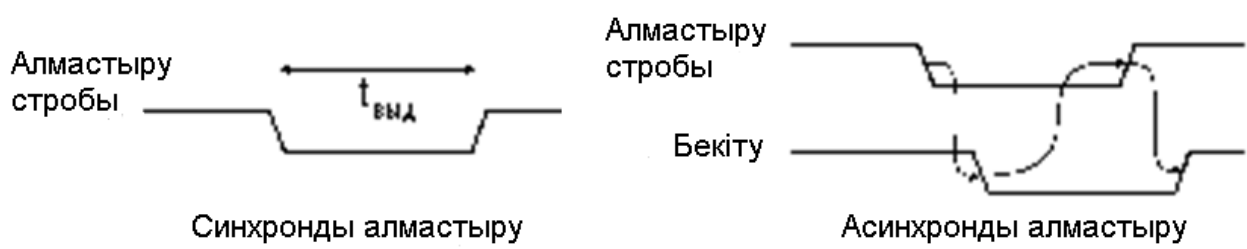
Басқару шинасы оң логика (сирек) және теріс логика (жиі) түрінде берілуі мүмкін. Басқару шинасының сызықтары бірбағытты және екібағытты болады. Ал шығыс каскадтарының түрлері әртүрлі болады: екі күйлі (бірбағытты сызықтар үшін), үш күйлі (екібағытты сызықтар үшін) және ашық коллекторлы (екібағытты және мультиплексірленген сызықтарға үшін).

Ең басты басқарушы сигналдар- бұл алмастыру стробтары, яғни процессормен қалыптасатын және мәліметтер шинасы бойынша мәліметтерді алмастыруды тудыратын уақыт моментін анықтайтын сигналдар болып табылады. Магистралдарда алмастыру стробының екі түрі қолданылады:

- жазу стробы (шығыс), бұл мәліметтер шинасына процессормен қойылған мәліметтерді қабылдайтын орындаушы- құрылғының уақыт моментін анықтайды;
- оқу стробы (енгізу), бұл процессормен оқылған мәліметтер кодын мәліметтер шинасына беретін орындаушы-құрылғының уақыт моментін анықтайды.

Осығын байланысты, цикл аралығында процессор алмастыруды қалай аяқтайтыны және қандай момент кезінде ол өзінің алмастыру стробын алып тастайтыны өте маңызды болады. Негізі шешудің екі жолы бар:

- синхронды алмастыру кезінде ( $t_{\text{выд}}$ ) бекітілген уақыт интервалы арқылы процессор мәліметтерді алмастыруды өздігінен аяқтайды, яғни орындаушы -құрылғының қатысуынсыз;
- асинхронды алмастыру кезінде, процессор алмастыруды тек орындаушы-құрылғы операцияның орындалуын арнайы сигналмен (handshake-рукопожатие режимі) бекіткен кезде ғана аяқтайды.



2.2 –сурет. Синхронды және асинхронды алмастыру

Синхронды алмастырудың артықшылықтары- басқарушы сигналдарының саны аз және алмастыру протоколдары біршама қарапайым. Кемшіліктері- орындаушының операцияларды орындауына кепілдіктің жоқтығы, сондай ақ орындаушының тезәрекеттілігіне жоғары талаптардың қойылуы.

Асинхронды алмастырудың артықшылықтары- мәліметтерді жіберу біршама сенімді және әртүрлі тезәрекетті орындаушылармен жұмыс істеу мүмкіндігінің болуы. Кемшілігі- қосымша аппаратуралық шығындарды талап етуі.

## 2.2 Ақпаратты алмастыру циклдары

### 2.2.1 Бағдарламалық алмастыру циклдары

МПЖ магистральдары бойынша бағдарламалық алмастырудың екі түрін қарастырайық:

1. Өндірістік контроллерлерде және микрокомпьютерлерде кеңінен қолданылатын DEC фирмасымен ұсынылған Q-bus мультиплексиленген асинхронды магистралы бойынша алмастыру. Айта кететін бір жай, текстағы сигнал атауының алдында қойылған «минус» таңбасы сигналдың активті деңгейінің төмен екендігін, ал пассивті сигналы –жоғары екендігін білдіреді, яғни сигнал теріс. Егер сигнал атауының алдында минус жоқ болса, онда сигнал оң, оның төменгі деңгейі пассивті, ал жоғарғы деңгейі- активті болады.



2.3 –сурет. Q-bus магистралынан оқу циклі

Бастапқы алмастыру цикліндегі (адрес фазасында) мәліметтер/адрестік (AD) шинасына процессор адрес кодтарын қояды (2.3-сурет). Осы шинада теріс логика қолданылады. AD шинасындағы сигналдардың орташа деңгейі, берілген уақыт интервалындағы сигналдардың маңызды емес екенін білдіреді. Адресі стробтау үшін процессор көмегімен қойылған SYNC теріс-синхросигналдар қолданылады. Оның алдыңғы (теріс) фронты AD шинасындағы адрес кодымен сәйкес келеді. Берілген екі циклдағы адрестер фазасы бірдей болады.

Енгізу/шығару құрылғысы немесе жады (орындаушы) өзінің адрестік кодын алғаннан кейін ақпаратты алмастыруға дайындалады. SYNC-сигналы басталғаннан кейінгі бірнеше уақыт аралығында, процессор адресі алыптастайды да мәліметтер фазасын орындауды бастайды.

Оқу циклінің мәліметтер фазасына процессор өзіне қарасты құрылғыға DIN-мәліметтерді оқитын строб сигналдарын орнатады. Бұл құрылғы бірмезгілде RPLY-алмастыруды растайтын сигналдар операциясының орындалуын бекітуі қажет.

RPLY-сигналдары үшін құрылғы мен орындаушылар арасында қақтығыс болмас үшін, ОК шығыс каскадтары қолданылады. Процессор RPLY-сигналын алғаннан кейін алмастыру циклін аяқтайды. Ол үшін ол RPLY-сигналы мен DIN-сигналын алып тастайды. Орындаушы-құрылғы DIN-сигналдарының алынуына байланысты AD шинасындағы мәліметтер кодын алып тастайды да RPLY- растау сигналдарын аяқтайды. Осыдан кейін процессор SYNC-сигналын алып тастайды.



2.4 –сурет. Q-bus магистралына жазу циклі

Жазу цикліндағы мәліметтер фазасындағы (2.4-сурет) процессор AD шинасына жазылатын мәліметтер кодын жібереді және оны DOUT-мәліметтерді жазу стробының теріс сигналдары береді. Орындаушы-құрылғы осы сигнал арқылы мәліметтерді процессордан қабылдап RPLY-алмастыруды растайтын сигналдарды қалыптастырады. Процессор RPLY-сигналдарын қабылдағаннан кейін алмастыру циклін тоқтатады. Сол үшін ол AD шинасынан мәліметтер кодын және DOUT-сигналын алып тастайды. Орындаушы- құрылғы DOUT-сигналын тоқтатқан соң, жауап ретінде RPLY-растау сигналын аяқтауы тиіс. Осы жағдайдан кейін процессор SYNC-сигналын тоқтатады. Осылайша Q-bus магистралындағы адрес синхронды түрде, ал мәліметтер асинхронды түрде беріледі.

Сондай ақ Q-bus магистралындағы жазу және оқу циклдарынан басқа «енгізу-пауза-шығару» (оқу-модификация-жазу) циклдары қолданылады.



2.5 –сурет. Q-bus магистралындағы «енгізу-пауза-шығару» циклі

Бұл циклда адрестік фаза оқу (енгізу) және жазу (шығару) циклындағы сияқты жүргізіледі. Бірақ мәліметтер фазасында процессор адреснің адрестік фазасындағы берілгендерді оқып, содан кейін дәл сол адреске жазады. Оқу үшін DIN-оқу стробы, ал жазу үшін DOUT-жазу стробы қолданылады. DIN-сигналына жауап ретінде орындаушы-құрылғы өзінің мәліметтерін AD шинасына жібереді, ал DOUT-сигналы арқылы AD шинасынан мәліметтерді қабылдайды. Жазу және оқу циклындағы сияқты орындаушы-құрылғы әрбір операцияның орындалуын RPLY –растау сигналымен бекітеді.

IBM фирмасымен ұсынылған және қолданушы компьютерлерде кеңінен қолданылатын ISA (Industrial Standard Architecture) синхронды мультиплексирленбеген магистральдағы алмастыру циклы.

Енгізі-шығару құрылғысындағы оқу/жазу екі циклде SA (бұл шинадағы логика оң) адрестік шинасына процессормен адрес кодтарын қоюдан басталады. SA шинасындағы адрес тар цикл соңына дейін қалады. Екі циклдағы адрестік фазалар бірдей, яғни IOR немесе IOW мәліметтерді алмастыру стробы басымен аяқталады. Адрестік фаза аралығында орындаушы-құрылғы адрес кодтарын қабылдап және оны оқиды немесе оқымайды. Егерде адресті оқыса, онда орындаушы алмастыруға дайындалады.

Оқу циклындағы мәліметтер фазасына (2.6-сурет) процессор IOR-енгізу/шығару құрылғысынан мәліметтерді оқитын теріс сигналдарды береді. Осыған жауап ретінде орындаушы-құрылғы SD мәліметтер шинасына өзінің мәліметтер кодын (оқылатын мәліметтер) беруі қажет. Мәліметтер шинасындағы логика оң болады. Тұрақты уақыт аралығында IOR-алмастыру стробы процессормен алынады, осыдан кейін SA шинасынан адрес коды алынып тасталады. Бұл цикл орындаушының жылдам жұмыс атқаруынсыз болады. Бірақ бұл синхронды алмастыру кезінде ғана болады. Сондай ақ ISA магистралында асинхронды алмастыру мүмкіндіктері де қарастырылған. Ол үшін I/O CH RDY каналдың дайындық сигналдары қолданылады. Синхронды алмастыру кезінде I/O CH RDY сигналы үнемі оң болады. Бірақ баяу жұмыс істейтін орындаушы-құрылғы бұл сигналды алып тастауы мүмкін. Сондықтан процессор I/O CH RDY сигналы қайтадан оң болғанша циклдің аяқталуын бітіріп, алмастыру стробын жалғастырады. Бұл сигналдың өте ұзақтығы авариялық жағдайлар сияқты қарастырылады.



2.6–сурет. ISA магистралындағы енгізу/шығару құрылғыларынан оқу циклі

Q-bus магистралы арқылы асинхронды алмастырудан ISA магистралы арқылы асинхронды алмастырудың айырмашылығы келесідей болады. Q-bus алмасуы кезінде сигналды бекіту міндетті және оны әрбір орындаушы қалыптастыруы қажет. Ал ISA магистралы кезінде сигналдың дайындығын орындаушы құрылғы қалыптастырмауы мүмкін. Егерде ол процессордың жылдамдығымен қатар жұмыс атқаратын болса.

ISA магистралындағы жазу циклінің мәліметтер фазасында (2.7-сурет) процессор SD мәліметтер шинасына жазылатын мәліметтердің кодын жібереді және оны IOW -енгізу-шығару құрылғысына мәліметтерді жазу стробы жеткізіп береді. Осы сигналды алған орындаушы-құрылғы SD шинасынан жазылған мәліметтер кодын қабылдауы тиіс. Егерде ол процессор жылдамдығына сәйкес жұмыс істей алмаса, онда IOW- алдыңғы сигналды алғаннан кейін I/O CH RDY сигнал уақытын алып тастауы мүмкін.

## 2.2.2 Үзу арқылы алмастыру циклдары

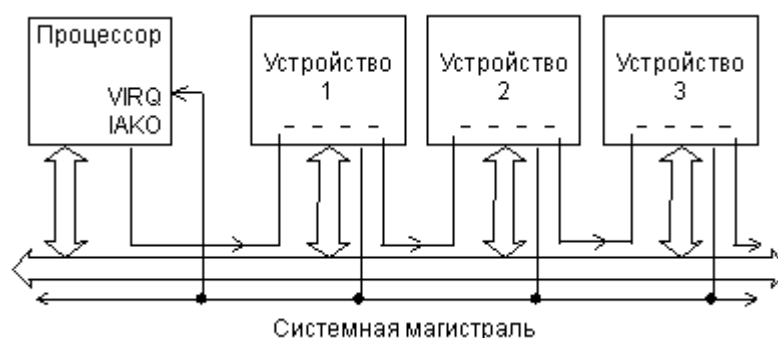
МПЖ үзудің екі негізгі түрі болады:

- магистраль арқылы оқу циклін қажет ететін векторлы үзу;
- магистраль арқылы ешқандай циклдарды қажет етпейтін радиальды үзу.

Әдетте МПЖ үзулер саны көп болғандықтан, процессорға нақты үзудің нөмері (вектор адресі) туралы ақпарат қажет болады. Бұл ақпарат процессорға екі жолмен берілуі мүмкін.

Векторлы үзу кезінде, үзудің кодтық нөмері процессорға енгізу/шығару құрылғысы арқылы беріледі. Ол үшін процессор магистраль арқылы оқу циклін жүргізеді және мәліметтер шинасы арқылы үзу нөмерінің кодын алады. Бұл циклдағы адрестік шина, үзуді сұрастыратын құрылғы ретінде қарастырмайды. Өйткені процессор онсызда тек адрестік шинадан сұрастырады. Бұл жағдайда магистральда барлық енгізу/шығару құрылғылары (Q-bus магистраль) үшін бір сұраныс линиясы болса жеткілікті.





2.7 –сурет. Сұраныс сигналдары және Q-bus магистралына үзуді жеткізу

Үзуді сұрау VIRQ-теріс сигнал көмегімен іске асырылады. Бұл сигналдағы шығыс каскад –ОК (ашық коллектор) түрінде болады. Процессор VIRQ-сигналын алғаннан кейін, орындап жатқан команданы уақытша тоқтатып үзуді алады. Ол үшін процессор DIN-мәліметтерді оқу сигналын және IAKO үзуді беру синалын жібереді. Осы IAKO сигналы біртіндеп барлық үзуді сұрастыратын құрылғылар арасынан өтеді. Егерде қандайда бір құрылғы үзуді сұрастыратын болса, онда ол өзі арқылы бұл сигналды жібермейді. Егер үзуді бір уақытта екі немесе оданда көп құрылғылар сұраса, онда үзуді тек қана бір құрылғы яғни процессорға жақын тұрған құрылғы алады. Мұндай қақтығысты шешетін механизм кей жағдайларда географиялық приоритет (немесе тізбекті приоритет, Daisy Chain) деп аталады. Үзуді сұрастырған құрылғы IAKO сигналын алғаннан кейін өзінің VIRQ- сигналын алып тастайды.

Содан кейін процессор үзу нөмерін адрессіз оқу циклін жүргізеді. Алынған сигналға жауап ретінде DIN және IAKO құрылғысы AD адрес/мәлімет шинасына үзудің нөмерін (үзу векторының адресін) береді және RPLY- растау сигналын қояды. Процессор үзу кодының нөмерін оқып және DIN және IAKO сигналдарын алып тастап адрессіз оқу циклін аяқтайды.

Магистралдағы радиальды үзу кезінде бірнеше үзуді сұрау сызықтары болады. Яғни әрбір үзуді сұрағысы келген енгізу-шығару құрылғылары барлық жеке сызықтар бойымен сұраныс сигналына жақындайды. Процессор үзуді сұрастыры келген сызықтар нөмері бойынша үзудің нөмерін анықтайды. Осы кезде магистраль бойынша ешқандай алмастыру циклдарын талап етпейді. Радиальды үзу кезінде үзудің сұраныс сигналдарын өңдейтін қосымша микросхема үзу контроллері (ҮК) жүйеге қосылады. Мысалы ISA магистралында дәл осылай үзулер орындалады.

Процессор үзу контроллермен (ҮК) магистраль бойынша (жұмыс режимін беру үшін) және магистральсыз (үзуді сұрауды өңдеу кезінде) байланыста болады. IRQ үзуін сұрайтын сигналдар магистральдың барлық құрылғыларының арасына таратылады. IRQ әрбір сызықтарына бір құрылғы сәйкес келеді. Осы 2С- сызықтарына арналған шығыс каскад түріне қақтығыстар қарастырылмаған. Бірнеше құрылғыға IRQ сигналдарының бір

уақытта келіп түсуі кезінде, оларға қызмет көрсеті тәртібін үзу контроллері арқылы анықталады.

Векторлы үзу жүйенің икемді болуын қамтамасыз етеді. Жүйеде олар өте көп болуы мүмкін. Бірақта олар адрессіз оқу циклін қамтамасыз ету үшін, үзуді сұрайтын барлық құрылғыға қосымша аппаратуралық түйіндерді талап етеді.

Әдетте жүйеде радиальды үзулер көп болмайды (1 ден 16 дейін).

### **3 дәріс. Микропроцессорлық жүйелердің (МПЖ) жұмыс режимдері. Микропроцессорлық жүйелердің (МПЖ) құрылымы**

**Дәрістің мақсаттары:** микропроцессорлық жүйелердің (МП) жұмыс режимдерін және құрылымын оқыту.

**Дәрістің мазмұны:** микропроцессорлық жүйенің (МПЖ) құрамы, микропроцессордың шиналық құрылымы.

#### **3.1 МПЖ жұмыс режимдері**

МПЖ икемділігі мына шарт бойынша, яғни жүйемен орындалатын функциялар процессор орындайтын бағдарламамен (бағдарламалық қамтамасыздандыру, software) анықталады. Аппаратура (аппараттық қамтамасыздандыру, hardware) кез-келген жағдайда өзгеріссіз қалады. Берілген аппаратра негізінде жады жүйесіне бағдарламаны жаза отырып, микропроцессорлық жүйені мәжбүрлеп кез-келген міндетті орындатуға болады. Сонымен қатар микропроцессорлық жүйе байланыстарының шиналық ұйымдастырылуы аппараттық модулдерді тез жеңіл ауыстыруға мүмкіндік береді. Мысалы, жадыны жана үлкен көлемді жадыға ауыстыру немесе біршама жоғары тез жұмыс істейтін жадыға, енгізі/шығару құрылғыларын қосымша қосу немесе жаңалап жетілдіру, процессорды біршама пәрменді процессорға ауыстыру т.б. Бұл жүйенің икемділігін арттыруға және кез-келген жағдайда қойылған талаптар кезінде оның ұзақ жұмыс істеуіне мүмкіндік береді.

Тәжірибиеде кез-келген МПЖ дамуы (оның ішінде компьютер) магистраль бойынша үш негізгі алмастыру режимі болады:

- ақпараттарды бағдарламалық алмастыру;
- үзуді (Interrupts) пайдалану арқылы алмастыру;
- жадыға тікелей кіруді (ЖТК, DMA — Direct Memory Access) қолдану арқылы алмастыру.

Кез-келген МПЖ ақпараттарды бағдарламалық алмастыру негізгі болып саналады. Ол әрқашанда алдын-ала қарастырылады, өйткені онсыз басқа алмастыру режимдарын орындау мүмкін емес. Бұл режимда процессор жүйелік магистральдың жекеменшік иесі (немесе беруші, Master) болып саналады. Осы жағдайдағы барлық ақпараттарды алмастыру операциялары

(циклдар) тек процессормен бастама алады, олардың барлығы орындалатын бағдарламадағы жазылған қатаң тәртіп бойынша орындалады.

Процессор жадыдан команда кодын оқиды (таңдайды) және жадыдан немесе енгізу/шығару құрылғысынан мәліметтерді оқи отырып, өндейді және жадыға мәліметтерді жазады немесе оларды енгізу/шығару құрылғысына бере отырып оларды орындайды. Бағдарлама арқылы процессорға жіберу жолы сызықты, циклдік сондай ақ өтпелі (секірмелі) болуы мүмкін. Бірақ ол үнемі үздіксіз және толықтай процессор бақылауында болады. Бағдарламамен сыртқы ортадағы әсерлердің ешқандай байланысы жоқ болғандықтан, процессор ешқандай әсер бермейді.

Ұзу арқылы алмастыру, сыртқы сигналдың келуіне байланысты қандайда бір сыртқы оқиғаларға МПЖ әсерлесуі қажет болғанда қолданылады. Компьютердегі сыртқы әсерлер болып, мысалы, клавиатурадағы түймешені басу немесе локальды желі арқылы мәліметтер пакетінің келуі жатуы мүмкін. Осы кезде компьютер осы жағдайлармен сәйкесінше әсерлесуі қажет. Яғни экранға символдарды енгізу немесе оқу және пакет желісі арқылы қабылданғандарды өңдеу т.б.

Жалпы сыртқы жағдайларға әсерлесуді ұйымдастыруды үш жолмен қарастыруға болады:

- оқиғалардың келіп түсу (флагты немесе polling сұрау әдісі) фактісін үнемі бағдарламалық бақылау көмегімен;

- ұзу арқылы, яғни процессорды дәл сол уақытта орындап жатқан бағдарламадан күштеп, шұғыл қажет болған бағдарламаны орындату көмегімен;

- жадыға тікелей кіру арқылы, процессордың қатысуынсыз, яғни жүйелік магистральдан процессорды ажыратқан кезінде.

Бірінші жағдайда- флагтың сұрауы бойынша МПЖ енгізу/шығару құрылғыларынан, процессордың ақпаратты үнемі оқуы жүзеге асады.

Екінші жағдайда- ұзу режимі кезінде процессор сыртқы құрылғыдан ұзу сұранысын (IRQ — Interrupt ReQuest) алғаннан кейін, орындап жатқан команданы аяқтап, үзуді өңдеу бағдарламасына ауысады. Үзуді өңдеу бағдарламасын орындауды аяқтап, ол үзілген бағдарламаны қай жерден үзді сол жерге қайта оралады. Мұнда барлық жұмыстар, яғни бағдарламалық режимдегі сияқты процессор көмегімен іске асады, ал сыртқы оқиғалар оны тек уақытша ғана алаңдатады. Ұзу бойынша сыртқы оқиғалармен әсерлесу, бағдарламалық режимге қарағанда баяуырақ жүреді. Мұнда бағдарламалық алмастыру сияқты барлық сигналдар магистральға процессор арқылы қойылады, яғни ол толықтай магистральды бақылап отырады.

Жүйедегі үзуді қамтамасыз ету үшін кей кездері ұзу контроллері (ҮК) деп аталатын арнайы модуль енгізіледі. Бірақта ол ақпаратты алмастыруға ешқандай қатыспайды. Оның негізгі атқаратын міндеті, үзудің сыртқы сұраныстары арқылы процессордың жұмысын оңайлату болып табылады. Әдетте бұл контроллер жүйелік магистраль арқылы процессормен бағдарламалы басқарылады.

Әрине, жүйе жұмысын жылдамдатуға ұзу ешқандай көмек көрсетпейді. Оны қолдану тек сыртқы оқиғаларға, яғни флагтың сұранысын қабылдамайды және сыртқы оқиғалардың уақытша келуіне дейін процессор қандайда бір басқа міндеттерді орындап бос болмайды.

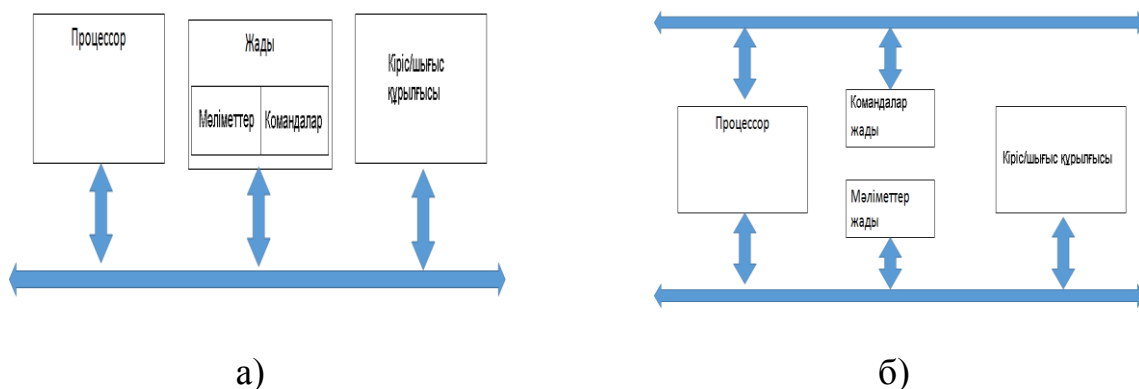
Жадыға тікелей кіру (ЖТК, DMA) – бұл режимнің алдыңғы қарастырған екі режимнен айырмашылығы, жүйелік шина бойынша ақпарат алмастыру процессордың қатысынсыз жүзеге асады. Қызмет көрсетуді талап ететін сыртқы құрылғы процессорға ЖТК режимінің қажет екендігі жайлы белгі береді, осы белгіге жауап ретінде процессор өзі орындап жатқан команданы тоқтатып, сұраныс жасаған құрылғыға белгі бере отырып барлық шинадан ажыратылып ЖТК режимінде алмастыруды бастайды [1, 2, 6].

ЖТК операциясы ақпаратты енгізу/шығару құрылғысынан жадыға немесе жадыдан енгізу/шығару құрылғысы арқылы алып барады. Ақпараттарды жіберу аяқталған кезде, процессор үзілген бағдарламаға қайта оралып, оны қай жерден үзді сол жерден арықарай жалғастырады. Бұл үзуді қамтамасыз ету режиміне ұқсас келеді, бірақта бұл кезде процессор алмастыруға қатыспайды. Бұл жағдайда жүйеге, процессордың қатысуынсыз жүйелік магистраль бойынша толықтай алмастыруды іске асыратын ЖТК контроллерін енгізу талап етіледі. Процессор жуықша осы жайлы ЖТК контроллеріне, оның ақпаратты қайдан алу керектігі жайлы немесе қайда орналастыру керектігі жайлы хабарлау керек. ЖТК контроллері мамандандырылған процессорлар болып есептелуі мүмкін. Өйткені оның айырмашылығы, ол өзі алмастыруға қатыспайды және де өзіне ақпаратты қабылдамайды не оны бермейді.

ЖТК контроллері ЖТК режимін қажет ететін енгізу/шығару құрылғысының құрамына кіруі мүмкін. ЖТК көмегімен теориялық алмастыру, бағдарламалық алмастырумен салыстырғанда ақпаратты беру жылдамдығы біршама жылдамрақ болады. Яғни процессор ЖТК мамандандырылған контроллерге қарағанда мәліменттерді ақырын баяу береді. Әдетте тәжірбие жүзінде бұл артықшылық әрқашанда таратыла бермейді. Өйткені ЖТК режиміндегі алмастыру жылдамдығы магистральдардың мүмкіндіктеріне байланысты шектелген. Сондықтан ЖТК режимі өте сирек қолданылады.

### **3.2 МПЖ құрылымы**

Біз осыған дейін микропроцессорлық жүйенің тек бір құрылымын, яғни командалар мен мәліметтер (біршиналы немесе принстонды, фон-нейманды құрылым) үшін біріккен шиналы жалпы құрылымды ғана қарастырып келдік. Бұл құрылымның құрамында командалар мен мәліметтерге арналған бір ортақ жалпы жады болады (10-сурет).



а) Фон-неймандық құрылым; б) Гарвардтық құрылым.

3.1 - сурет. МПЖ құрылымы

Сондай - ақ командалар мен мәліметтерге (екішіналы немесе гарвардтық құрылым) арналған жеке шиналы құрылымда болады. Бұл құрылымда жүйедегі командаға жеке жады және мәліметтерге жеке жады берілген. Әрбір жеке жадының процессормен алмасуы, өздеріне тиісті шиналары арқылы іске асады.

Жалпы ортақ шиналы құрылым өте кең тараған. Олар мысалы, персональды компьютерлерде және күрделі микрокомпьютерлерде қолданылады. Ал жеке шиналы құрылым негізінде біркристалды микроконтроллерде қолданылады.

Жалпы ортақ шиналы (принстонды, фон-нейманды) құрылым қарапайым болып келеді. Өйткені ол процессордан бір уақытта екі шинаға бірдей қызметкөрсетуін талап етпейді. Командалар мен мәліметтерге бір ортақ жадының болуы, командалар мен мәліметтер арасындағы кодтардың көлемін тез икемді түрде таратуға мүмкіндік береді. Жадыны қайта тарату ешқандай мәселелерді тудырмайды, ең бастысы –бағдарлама мен мәліметтер бірге жады жүйесіне сыйса болды. Ережеге сәйкес мұндай құрылымды жүйелерде жады неғұрлым үлкен көлемді (оннан жүзге дейінгі мегабайт) болады.

Командалар мен мәліметтерге арналған жеке шиналы құрылым күрделірек болады. Өйткені ол процессорды біруақытта екі шина бойынша алмастыруды және екі бірдей кодтар ағынымен жұмыс істеуді мәжбүрлейді. Бағдарлама тек команда жадына орналасады, ал мәліметтер- тек мәліметтер жадына орналасады. Мұндай жағдайлар жүйемен шешілетін міндеттердің көлемін шектей, өйткені жадының икемді түрде қайта таратылуына мүмкіндік бермейді. Бұл жағдайда команда жадысы мен деректер жадысының көлемі өте үлкен болмайды, сондықтан бұл құрылымды пайдалану кезінде өте күрделі емес міндеттерді шешумен шектеледі. Гарвардтық құрылымның артықшылығы (екі шиналы) оның тезәрекеттілігінде болып саналады. Өйткені команда мен деректерге ортақ бір шина болса, онда процессор осы бір шина арқылы деректерді қабылдап (енгізу/шығару құрылғысынан немесе жадыдан) және жіберуге сондай ақ жадыдан командаларды оқуға тура келеді. Яғни магистраль бойынша бір уақытта кодтарды алмастыру жүруі мүмкін емес,

олар кезекпе-кезек орындалып отыруы қажет. Қазіргі процессорлар команданың уақытша орындалуы мен жүйелік шина бойынша циклдарды алмастыра алады. Конвейерлік технологияны және жылдам жады-кэшын қолдану өзараәрекеттесу процессін жылдамдатады. Тактілік жиілікті жоғарлату және процессордың құрылымын жаңарту команданы орындау уақытын қысқартуға мүмкіндік береді. Бірақта жүйенің тезәрекет етуін жоғарлату, команданы оқу мен мәліметтерді қайта беру бірге жүргізілгенде болуы мүмкін. Яғни екі шиналы құрылымға өткен кезде ғана болады.

Екішиналы құрылым кезінде екі шина арқылы ақпараттың алмасуы бір-біріне уақыт бойынша параллель, тәуелді болмауы мүмкін. Осыған сәйкес шина құрылымы (мәліметтер коды мен адрес кодының разрядтар санына, ақпаратты алмастыру жылдамдығы мен тәртіптері т.б.) өзінің орындайтын міндеттерін тиімді түрде таңдалуы керек. Сондықтан екішиналы құрылымға өту аппаратқа қосымша шығындарды талапетсе де МПЖ жұмыстарын жылдамдатуға мүмкіндік береді. Бұл жағдайда мәліметтер жадысы өзінің адрестерін, ал команда жадысы өзінікін таратады.

Қысқаша айтқанда екішиналы құрылымның артықшылығы оның бір микросхема ішінде орналасуында. Сондықтан оның негізгі қолданылуы- өте күрделі міндеттерді шешуді талап етпейтін микроконтроллерде қолданылады.

### **3.3 Микропроцессорлық жүйелердің (МПЖ) түрлері**

Қазіргі кезде микропроцессорлық техниканы қолдану диапазоны өте кең және де микропроцессорлық жүйелерге қойылатын талаптар әр түрлі болып келеді. Сондықтан МПЖ қуатына, универсальдылығына, тезәрекеттілігіне және құрылымының айырмашылығына байланысты бірнеше түрлерге бөлінеді [4, 13].

Негізгі түрлері:

- микроконтроллерлар – МПЖ біршама қарапайымдыланған түрі, яғни жүйенің барлық немесе көп бөлігі бір микросхема түрінде орындалған.
- контроллерлар – жеке модуль түрінде орындалған МПЖ басқарады;
- микрокомпьютерлар – сыртқы құрылғылармен біріктірілген құрал-жабдықтары бар қуатты МПЖ;
- компьютерлар (оның ішінде персональды) – ең қуатты және біршама универсальды МПЖ.

Микроконтроллерлар - тәжірибе жүзінде үнемі өзі ғана емес, сонымен қатар құрамында өте күрделі құрылғылары (оның ішінде контроллерлар) болатын универсальды құрылғы болып табылады. Микроконтроллердың жүйелік шинасы қолданушыға көрінбейтін микросхеманың ішінде орналасқан. Микроконтроллерге сыртқы құрылғыларды қосу мүмкіндігі шектеулі болады. Микроконтроллердағы құрылғылар әдетте бір ғана міндетті шешуге арналған.

Ереже бойынша, контроллерлар жеке бір міндеттерді немесе бір-біріне ұқсас міндеттер тобын шешу үшін жасалады. Әдетте олар қосымша түйіндерді

немесе құрылғыларды, мысалы үлкен жадыны, енгізу/шығару құрылғыларын қосуға мүмкіндіктері жоқ. Олардың жүйелік шиналары көбнесе қолданушыға қолжетімді бола бермейді. Контроллердің құрылымы қарапайым және максимальды тезәрекеттілікпен қамтылған. Көп жағдайларда орындалатын программалар тұрақты жадыда сақталады және өзгермейді.

Микрокомпьютерлардың контроллерлардан айырмашылығы, олар біршама ашық құрылымды болып келеді. Олар жүйелік шинаға бірнеше қосымша құрылғыларды қосуға мүмкіндік береді. Микрокомпьютерлар қолданушыға ыңғайлы каркаста, жүйелік магистраль разъемдары бар корпуста жасалынып шығады. Микрокомпьютерлар магнитті тасмалдаушыларда (мысалы, магнитті дисклар) және қолданушымен тікелей байланыстырғыш құралдарда (видеомонитор, клавиатура) ақпаратты сақтауы мүмкін. Микрокомпьютерлар көп міндеттерді шешуге арналған, бірақ олардың контроллерлардан айырмашылығы әрбір жаңа міндеттерді шешу кезінде оны қайтадан орнатуды қажет етеді.

Персональды компьютерлар - бұл микропроцессорлық жүйелердің ішіндегі ең универсальдысы болып саналады. Олар міндетті түрде заманға қарай жаңаланып отырады, сонымен қатар жаңа құрылғыларды қосуға үлкен мүмкіндіктері бар. Олардың жүйелік шинасы әрине қолданушыға қолжетімді болады. Сондай ақ сыртқы құрылғылары компьютерге бірнеше байланыс порттары (кей кездері байланыс порттарының саны 10 жетеді) арқылы қосылуы мүмкін.

#### **4 дәріс. Intel топтамасының процессорлы құрылғылары**

**Дәрістің мазмұны:** Intel топтамасының процессорлы құрылғылары, i8085 микропроцессорының құрылымы, Микропроцессордың командалық циклы, МП жұмыс алгоритмі қарастырылады.

**Дәрістің мақсаттары:** Intel топтамасының процессорлы құрылғыларын, i8085 микропроцессорының құрылымын, Микропроцессордың командалық циклын, МП жұмыс алгоритмін оқыту.

##### **4.1 Жалпы мағлұматтар**

Бүкіл дүние жүзінде Intel фирмасының микропроцессорлары мен олардың аналогтары кеңінен қолданылады. Бұл фирма ең алғашқы МП-ді, одан соң олардың топтамасының бір қатарын өңдеп шығарды және қазіргі кезде әр түрлі бағалар бойынша, микропроцессордың барлық шығарылу көлемінің 85...92% шығарылады [7, 9].

Екі негізгі категорияға бөлінетін - RISC және CISC, процессорлар архитектураларының көптеген түрлері бар.

RISC - Reduced (Restricted) Instruction Set Computer – қысқартылған командалар жүйесі бар процессорлар. Бұл процессорларда әмбебап

тағайындалған біртекті регистрлар жинағы бар, және олардың саны көп болуы мүмкін. Командалар қатысты қапайымдылығымен ерекшелінеді, нұсқаулық түзбелерінің құрылымы анық, әдетте, фиксирленген ұзындықты болады. Нәтижесінде мұндай архитектураның аппаратты орындалуы аз шығынмен кері түзбелеуге және синхрондау тактісінің минималды санында (1-ң шегінде) бұл нұсқауларды орындауға мүмкіндік береді [5, 7].

CISC - Complete Instruction Set Computer – нұсқаулықтың толық жинағы бар процес-сорлар (компьютерлер), оларға x86 топтамалары жатады. Олардың регистрлерінің құрамы мен тағайындалуы бір текті емес, командалардың кен жинағы аппаратты ресурстар шығындалатын нұсқаулықтың кері түзбелеуін қиындатады. Нұсқаулықты орындауға қажетті тактілер саны артады. Дүние жүзі бойынша ең қиын командалар жүйесі x86 процессорларында орналасқан. 486-дан бастап x86 топтамасының процессорларында аралас архитектура қолданылады – CISC-процессорының RISC-ядросы бар.

Есептеу процесін ұйымдастырудың келесідей тәсілдері бар:

- бір командалар ағыны - бір деректер ағыны (Simple Instruction - Simple Data, SISD) –дәстүрлі фон-Неймандық архитектураға сәйкес келеді (кейде Simple орнына Single деп жазылады);

- бір командалар ағыны - көп деректер ағыны (Simple Instruction - Multiple Data, SIMD) - MMX технологиясы;

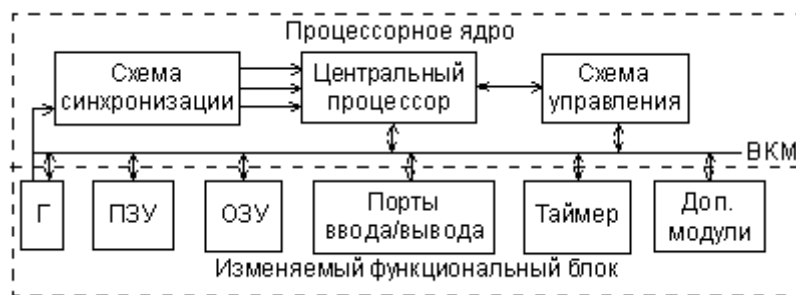
- көп командалар ағыны - бір деректер ағыны (Multiple Instruction - Simple Data, MISD);

- көп командалар ағыны - көп деректер ағыны (Multiple Instruction - Multiple Data, MIMD).

Процессордың шағын сұлбасында міндетті түрде үш шина шықпалары бар: адрестер шинасы, деректер шинасы және басқару шинасы. Кейде кейбір сигналдар және шиналар процессордың шағынсұлба шықпаларының санын азайту үшін мультипликсерленеді. Процессордың маңызды сипаттамалары – бұл оның деректер шинасының разрядтар саны, оның адрестер шинасының разрядтар саны және басқару шинадағы басқарушы сигналдар саны. Деректер шинасының разрядтылығы жүйе жұмыстарының жылдамдығын анықтайды. Адрестер шинасының разрядтылығы жүйенің жіберілетін күрделілігін анықтайды. Басқару желісінің саны алмастыру режимдерінің әртүрлілігін және жүйенің басқа құрылғылармен процессорды алмастыру тиімділігін анықтайды. Шықпалардан басқа үш негізгі шиналардың сигналдары үшін процессордың әрқашан сыртқы тактілі сигналды немесе кварцты резонаторды (CLK) қосу үшін шықпасы (немесе екі шықпа) болады, өйткені процессор тактіленетін құрылғыны өзімен бірге көрсетеді. Процессордың тезәрекеттілігі тактілі жиілікпен ғана емес, сондай-ақ оның құрылымының ерекшеліктерімен анықталады. Қазіргі заманғы процессорлар көптеген командаларды бір тактіде орындайды және бірнеше командаларды параллель орындау үшін құралдармен жабдықталған. Процессордың тактілі жиілігі магистраль бойынша алмасу жылдамдығымен қатаң және түзу байланыспаған, өйткені магистраль бойынша алмасу жылдамдығы магистральдағы сигналдардың



бұрмалануымен және сигналдарды тарату кешігулерімен шектелген. Яғни процессордың тактілі жиілігі сыртқы емес, тек оның ішкі тезәрекеттілігін ғана анықтайды.



4.1 - сурет. Процессордың қосылу сұлбасы

Әрбір процессорда бар сигналдар – бұл RESET бастапқы күйге келтіру (сброс). Қорек көзін қосу кезінде, жол апаты жағдайы немесе процессордың істен шығуы кезінде осы сигналды беру процессордың инициализациясына әкеліп соғады, және оны бастапқы қосылу программасын орындауға мәжбүрлейді. Жол апаты жағдайы қорек көзі тізбегі бойынша кедергілермен, «жердің» және жады жұмысының істен шығуымен шақырылуы мүмкін. Нәтижесінде процессор орындалатын программамен бақылауын жоғалтып және кейбір адресте тоқтатылуы мүмкін. Осы күйден шығу үшін бастапқы күйге келтіру сигналы қолданылады. Бастапқы күйге келтірудің осы кірісі қорек кернеуі қондырылған шектеуден төмендегенің процессорға мәлімдеу үшін қолданылады. Осындай жағдайда процессор қажетті деректерді сақтау программасын орындауға ауысады. Негізінде бұл кіріс радиалды үзудің ерекше әртүрлілігін өзімен бірге көрсетеді. Қазіргі заманғы процессордың қорек шинасында әдетте бір қорек кернеуі (+5В немесе +3,3В) және жалпы сымы («жерге») бар. Кейбір процессорларда төмен энергияны қоректену режимі қарастырылған. Процессорлардың қазіргі заманғы шағын сұлбалары, негізінен жоғарғы тактілі жиіліктермен біршама үлкен қуаттылықты тұтынады. Нәтижесінде корпусының қалыпты жұмыс температурасын ұстау үшін оларға радиаторларды, вентиляторларды немесе арнайы шағын тоңазытқыштарды қондыру қажеттілігі көп туады. Процессорды магистральға қосу үшін, егер магистраль сигналдарының электрлі буферленуі және сигналдарды кері мультиплексирулеу туындаған кезде қамтамасыз ететін буферлі шағын сұлбалар қолданылады. Процессордың шиналары бойынша және жүйелік магистраль бойынша алмастыру хаттамалары кей кезде өзара сәйкес келмейді, сондықтан буферлі шағын сұлбалар осы хаттамаларды бір бірімен сәйкестендіреді. Кей кезде микропроцессорлы жүйелерде бірнеше магистральдар (жүйелі және локальды) қолданылады, онда әрбір магистраль үшін өзіндік буферлі түйін қолданылады. Мұндай құрылым, мысалы дербес компьютер үшін сәйкес.

#### 4.2 i8085 микропроцессорының құрылымы

4.2 - суретте буферлі регистрі бар 8 - разрядты АЛҚ және ондық корекциялау сұлбасы, ЖТН блогы, SP стек көрсеткіштің регистрі және PC командалар санауышы, бастапқы басқарушы автомат БА, адресстер және деректер шинасының буферлік сұлбалары және жүйені басқару сұлбасын МП өзіне қосатын i8080- МП-ң ішкі құрылымы бейнеленген [7].

Сыртқы интерфейс 8-разрядты екі бағытты деректер шинасымен D[7:0], 16-разрядты адрес шинасымен A[15:0] және басқару желісі тобымен берілген.

Микропроцессорларда ішкі 8-разрядты деректер шинасы болады, және сол арқылы оның блоктары ақпараттармен алмасады. Сұлбада келесі белгілеулер берілген:

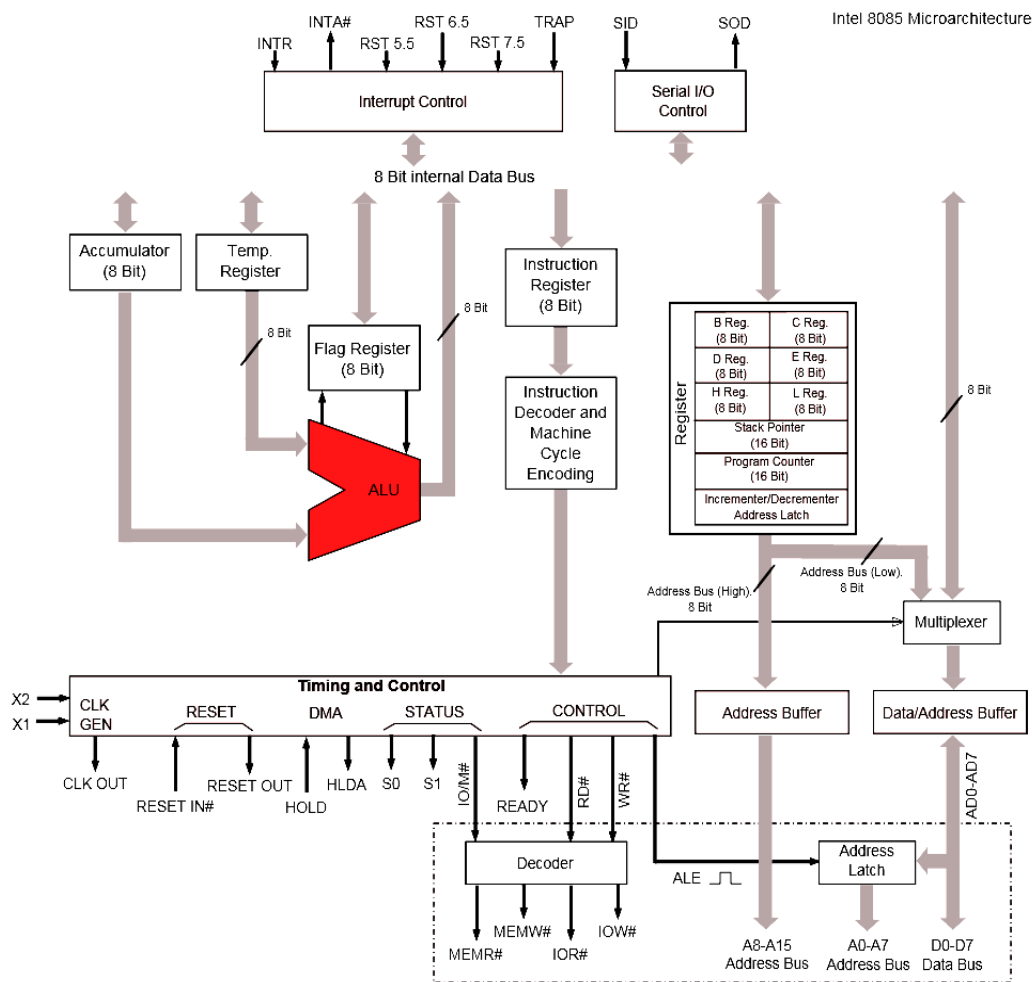
- AC (Accumulator) – екі сатылы триггерлерде орындалған және бір уақытта екі сөзді (операндалардың біреуін және операция нәтижесін) бірақ сақтай алатын регистр -аккумулятор;

- $W_1$  – операндалардың біреуін уақытша сақтайтын регистр;

- ALU (Arithmetic-Logic Unit) – оның кірісіне берілетін екі сөз-операнданың әрекетін орындайтын арифметика-логикалық құрылғы. Аккумулятор деректердің көзі мен қабылдағышы болып табылады. АЛҚ тек қосу, алу, жылжыту, сөздерді салыстыру, ішкі разрядты логикалық операцияларды (конъюнкция, дизъюнкция, модуль 2 бойынша қосу) орындайды. Одан қиын операциялар (көбейту, бөлу) ішкі бағдарламалар бойынша орындалады. АЛҚ-да екілік сандарды екілік-ондыққа (DA, Decimal Adjust) айналдыратын сұлбалар бар;

- RF (Register Rags) – ту регистрі, яғни АЛҚ-да орындалған арифметикалық немесе логикалық операциялардың нәтижелерінің белгілерін көрсететін биттер. Бес белгі көрсетіледі: Z (Zero) – нөлдік нәтиже, C – орын ауыстыру, AC (Auxiliary Carry) – көмекші орын ауыстыру, S (Sign) – Белгі, P(Parity) – сөз салмағының жұптылығы. Көмекші орын ауыстырудың (кіші және үлкен жартыбайт арасында) белгісі екілік-ондық операцияларды орындаған кезде қажет. Белгілер ақпаратты өңдеу процесінің қадамын басқару үшін қолданылады.

- Мультиплексор арқылы ішкі деректер шинасымен регистрлер блогы байланысқан, оның бір бөлігі арнайыландырылған, басқа бөлігі бағдарламалық қол жетімді және бағдарламашының көзқарасына байланысты қолданыла алатын регистрлер блогы. Регистрлер  $W_2$ ,  $W_3$ , B, C, D, E, H, L, SP және PC арқылы белгіленген.  $W_2$  және  $W_3$  регистрлері жадыдан команданы таңдау кезінде және бағдарламашы үшін қолжетімсіз деректерді уақытша сақтауға арналған. B, C, D, E, H, L регистрлері жалпы тағайындалған регистрлерге жатады, өйткені бағдарламашыға байланысты қолданылады. Бұл 8-разрядты регистрлер жеке-жеке немесе 16-разрядты регистрлердің рөлін атқаратын жұптар B-C, D-E, H-L ретінде қолданыла алады. Регистр жұптары жұптың бірінші регистрінің атымен, B, D, H жұптары деп аталады. H-L жұбы, жанама регистрлік адрес-телу кезінде, онда адресстерді орналастыру үшін қолданылады. Регистрлер блогында, сондай-ақ, 16-разрядты SP және PC регистрлері бар.



4.2- сурет. i8085 МП -ң ішкі құрылымы

SP регистрі (Stack Pointer) – стек көрсеткіші. Стек (магазиндік жады) сөз массивтерін еске сақтауға ыңғайлы, себебі онда әр сөзді жеке адресі талап етілмейді. Сөздер стекке белгілі бір ретпен жүктеледі, сол сияқты санау кезінде де олардың жүру реті алдын ала белгілі. LIFO (Last In – First Out) типін ұйымдастыру кезінде стекке жазылған соңғы сөз бірінші болып оқылады. Стектің негізгі тағайындалуы – бағдарламаның үзуіне қызмет ету және ішкі бағдарламаларды орындау.

PC (Program Counter) бағдарламалық санаушы команда адресін береді, және жады адресінің 64К ұяшығынан кез келгеніне жүгіне алады. МП-ды бастапқы күйге келтірген кезде PC нөлдік күйде болады, ол осылайша бірінші орындалатын команданың адресі болып табылады, басқаша айтқанда, бағдарламаның орындалуы нөлінші ұяшықтан басталады. Команданың ұзындығы 1...3 байтты құрайды. Программалық санаушының құрамы жадыдан кезектегі байтты таңдағаннан кейін автоматты түрде инкрементирленеді, сол себепті, егер ағымдағы команда бір байтты болса, PC-да келесі команда адресі пайда болады, немесе керісінше жағдайда ағымдағы команданың келесі байты пайда болады. Команданың екінші және үшінші байты программамен

адресі белгілейтін және ішкі басқару блогымен ғана қолданылатын  $W_2$  және  $W_3$  регистрлеріне келіптүседі.

INC/DEC (Increment/Decrement) сұлбасы өзі арқылы жіберілетін сөздерді +1 немесе -1-ге өзгертеді.

IR (Instruction Register) командалар регистрі жадыдан команданың бірінші байтын (операция байты) қабылдайды, ол дешифрациядан кейін, операция түзбесімен алдын ала жазылған машиналық циклдерді жүзеге асыруға қажетті сигналдар тудырады.

Басқарушы автомат блогы циклдарды синхрондау үшін, күй сигналдарын генерациялау үшін, шинаны басқару үшін (сыртқы құрылғылармен) командалар регистрінің шығысын пайдаланады.

МП мен жады (немесе ВУ) арасындағы алмастыру кезінде жадының (немесе ВУ) сәйкес ұяшығының адресі, таңдалған командадан немесе регистрлік жұптан RA регистр адресіне беріледі.

Шығыстың үш күйі бар ВА адрес буфері А адресі шина желісінде адресінің жоғарғы разрядты сигналын береді.

МП желісінің кіріс және шығыс тағайындалуы:

- D[7:0] – екі бағытты деректер шинасы деректерді беру және қабылдау, команданы қабылдау, үзу векторын қабылдау, қосымша басқарылатын ақпаратты беру (PSW сөзі) қызметін атқарады;
- A[15:0] – бір бағытты адресер шинасы жады адресін беру үшін және енгізу/шығару құрылғысының қызметін атқарады;
- $\Phi_1, \Phi_2$  – 1...2,5 МГц жиілікті тактілі генератор сигналы;
- RESET – бастапқы күйге келтіру (0000 адресімен бағдарламаны іске қосу және бастапқы орнату);
- READY - ВУ-ң алмасу немесе жады дайындығының кіріс сигналы (алмасудың асинхронды режимін қамтамасыз етеді);
- INT - сыртқы үзуге сұраныс;
- HOLD – шина қармағы (ВУ жақтан жадыға тікелей қол жеткізуді талап ету);
- WR - жазу – процессордан жадыға немесе ВУ-ға деректер шинасы бойынша ақпаратты беру бағытын анықтайтын шығыс сигнал;
- RD - жадыдан немесе ВУ процессорға деректер шинасы бойынша ақпаратты беру бағытын анықтайтын шығыс сигнал;
- SYNC - деректер шинасында қосымша басқарушы ақпараты (PSW) бар екенін идентифицирлейтін шығыс сигнал;
- WAIT – МП тоқтату немесе күту күйін белгілейтін шығыс сигнал;
- INTE - сыртқы үзулер режимін растайтын шығыс сигнал;
- HLDA - жадыға тікелей қол жеткізу режимін растайтын шығыс сигнал (қармауды растау).

## **5 дәріс. Intel топтамасының процессорлы құрылғылары. i8085 микропроцессорының командалық циклы, жұмыс алгоритмі**

**Дәрістің мазмұны:** i8085 микропроцессорының командалық циклы, МП жұмыс алгоритмі қарастырылады.

**Дәрістің мақсаттары:** i8085 микропроцессорының құрылымын, микропроцессордың командалық циклын, МП жұмыс алгоритмін оқыту.

### **5.1 Микропроцессордың командалық циклы**

МП «Тоқтату» (HLT) командасына жеткенше жадыдан бір командадан кейін келесісін таңдайды және оны орындайды. Бір команданы таңдау және орындау командалық циклды құрайды. Командалық цикл бір немесе бірнеше машиналық циклдан (МЦ) тұрады. Әрбір жадыға немесе ВУ-ға жүгіну үшін, МП-ға немесе одан байтты жіберумен байланысты, машиналық цикл қажет. Өз кезегінде машиналық цикл  $T$  3-5 тактіге бөлінеді, олардың саны машиналық циклдың түріне байланысты болады.

Командалық цикл (КЦ) РС-те сақталынған адрес бойынша команданы таңдаудан (OF, Opcode Fetch) басталады. Бірінші машиналық цикл  $M1$  әрқашан OF болады, онда МП команданың бірінші байтын алады. Осыдан кейін тағы да бір немесе екі MR (Memory Read) типті машиналық цикл болуы мүмкін, себебі команда бір байтты, екі байтты, үш байтты болуы мүмкін. Команда орындалуы үшін жадыға (ВУ) 1-ден 5-ке дейін жүгіну қажет болуы ықтимал. ЗУ/ВУ жүгіну КЦ-ң әртүрлі бөліктерінде болғанымен, олар МПЖ интерфейсіне сәйкес бірлік ережелер бойынша орындалады және басқарушы автоматтың ортақ қондырғасында іске асырылады. Деректердің бір байтын МП-дан немесе МП-ға беру бойынша МПЖ-ң /әрекеті *машиналық цикл* деп аталады.

Командалық цикл  $M1, M2, \dots, M5$  деп белгілеу қабылданған машиналық циклдар (1 ден 5-ке дейін) тізбегін өзімен көрсетеді.

Машиналық цикл міндетті түрде байттық ақпаратты беру әрекетін өзіне қосады. Бұдан басқа, кейбір МЦ-да МП-ң ішінде ақпаратты түрлендіру немесе тасымалдау бойынша қосымша әрекеттер жүзеге асырылады. Сол себепті МЦ-ң ұзақтылығы олардың құрамындағы машиналық тактілер ( $T1, T2, \dots$ ) санының әртүрлі болуы есебінен әртүрлі болуы мүмкін.

Машиналық такт  $\Phi1, \Phi2$  тактілі генератордың жұп сигналын түзеді, сол себепті такт ұзақтылығы тұрақты және тактілі генератор ( $T_w$  тактісінен басқа) периодына тең.

Осыдан, микропроцессор жұмысынан процедуралар иерархиясын көруге болады:

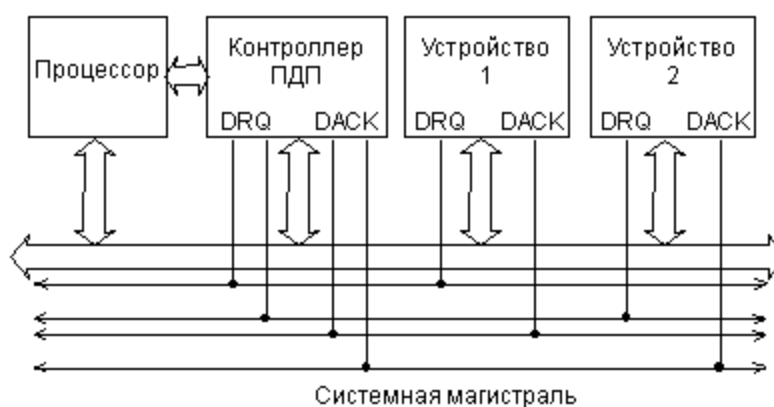
Командалық цикл - Машиналық цикл - Машиналық такт.

Әр тактіге басқарушы автоматтың белгілі бір күйі сәйкес келеді. Кез келген МЦ-да міндетті түрде интерфейс бойынша байтты беру үшін арналған

$T_1$ ,  $T_2$ ,  $T_3$  тактілері болады. МП-да ақпаратты түрлендіру немесе беру іске асырылатын машиналық циклдер қосымша бір  $T_4$  немесе екі  $T_4$ ,  $T_5$  тактілерін құрайды. МП МЦ-ң бірнеше түрін өңдейді, олардың ішіндегі негізгісі «Оқу» және «Жазу» циклдері болып табылады.

Микропроцессордың МЦ *синхронды* сияқты *асинхронды* режимде алмастыру мүмкіндігін алдын ала қарастырады. Егер МПЖ құрамында тек «жылдам» құрылғылар қолданылса, яғни МП-ң тактілі жиілігімен жұмыс істей алатын, онда МЦ-ға ақпаратты беру синхронды режимде іске асырылады. Бұл жағдайда МП-ң READY кірісіне тұрақты "1" беріледі және  $T_2$  тактісінен кейін,  $T_3$  тактісі басталады.

Тезәрекеттігі МП-ң тактілі генераторының жиілігімен ауысуға мүмкіндік жоқ «баяу» құрылғылармен жұмыс істеген уақытта, алмасудың асинхронды принципін жүзеге асырып, МЦ-дағы уақытты "созу" қажет. Ол үшін «баяу» құрылғылармен МЦ алмасудың басында, READY кірісінде, логикалық нөлдің деңгейі қалыптасады.  $T_2$  тактісінде МП-сор READY күйін талдайды, егер  $READY = 0$  болса, онда МП  $T_2$ -ден кейін  $T_3$ -ке ауыспайды, ол тактілі генератор периодының еркін санына созылатын  $T_w$  күту тактісіне өтеді. Егер алдындағы Ф2-де READY "1"-де орнатылса, онда  $T_3$ -ке өту Ф1 фазасы бойынша іске асырылады. READY кірісі көмегімен МП-ң жұмысын тек әртүрлі тезәрекетті құрылғылармен үйлестіріп қана қоймай, сонымен қатар, МП жұмысының режимін қадамдық және тактілі етіп жүргізуге болады.



5.1 - сурет. ISA магистралындағы «Оқу» циклы

Сөйтіп, машиналар циклында келесі әрекеттер орындалады:

- адресі беру;
- МЦ (PSW) басталғаны жөніндегі ақпаратты беру;
- кіріс сигналдарының мәнінің талдау;
- қажет жағдайда - сигналды күту  $READY=1$ ;
- деректерді қабылдау/беру;
- қажет жағдайда - деректерді ішкі өңдеу/тасымалдау.

Машиналық циклдардың келесідей түрлері бар:

1. Команданы таңдау (OF, Opcode Fetch).
2. Жадыдан оқу (MR, Memory Read).

3. Жадыға жазу (MW, Memory Write).
4. ВУ-дан оқу (IOR, Input-Output read).
5. ВУ-ға жазу (IOW, Input-Output Write).
6. Үзуді растау (INA, Interrupt Acknowledge).
7. Шиналарды босату (BI, Bus Idle).
8. Тоқтату (HALT).

Әрбір МЦ-ң басында, D[7:0] деректер шинасының желісіне разряды келесідей тағайындалатын (PSW) қосымша басқару ақпаратын байты беріледі:

- D0 – үзуді растау;
- D1 – жазу (ЗУ-ға) немесе шығару (УВыв-ға);
- D2 – стекке жүгіну;
- D3 – тоқтауды растау;
- D4 – шығару (УВыв-ға);
- D5 – M1 (команданың бірінші байтының жадыдан оқу);
- D6 – енгізу (УВв-дан);
- D7 – оқу (ЗУ-дан).

D[7:0]-да басқарушы ақпараттың болуы арнайы SYNC шығыс сигналымен белгіленеді.

Басқарушы ақпарат байты деректер шинасында (ШД) бір такт болады, ал МЦ-да толықтай қолданыла алады. Сондықтан PSW ақпаратын қолданатын МПЖ-де PSW-ны фиксациялау үшін, МП-ға қатысты сыртқы, арнайы регистр-защелка қарастырылады.

## **5.2 МП жұмыс алгоритмі**

Басқару сұлбасы (БС) процессордың барлық түйіндерінің өзараәрекеттілігін ұйымдастырады, деректерді бағыттайды, сыртқы сигналдармен процессордың жұмысын синхрондайды, сондай-ақ ақпараттың енгізу және шығару процедурасын іске асырады. Қорек көзін қосқаннан кейін процессор бастапқы жіберу программасының бірінші адресіне өтеді және осы программаны орындайды. Берілген программа алдын ала тұрақты (энерготәуелсіз) жадыға жазылған. Бастапқы жіберу (пуск) программасы аяқталғаннан кейін процессор барлық командаларды кезек бойынша таңдау үшін тұрақты немес оперативті жадыда орналасқан негізгі программаны орындай бастайды.

Сонымен қатар процессордың жұмыс істеуі барысында командаларды таңдау сұлбасы (БС бөлігі) жадыдан команданы тізбектей таңдайды, содан кейін осы командалар орындалады ( деректерді өңдеу қажеттілігі туындаған жағдайда АЛҚ қосылады). АЛҚ кірісіне ішкі регистрлерден немесе жадыдан өңделген деректер берілуі мүмкін. Ішкі регистрлерде сондай-ақ жадыда орналасқан өңделген деректердің адресер түзбесі сақталады. АЛҚ өңдеу нәтижелері белгілер регистрінің (RF) күйін өзгертеді және жадыға (дерек терді жіберу сияқты қабылдау команда түзбесінің құрамында көрсетіледі) немесе ішкі регистрге жазылады.

Командалар санағышының (PC) құрамындағылары келесі түрде өзгереді. Жүйенің бастапқы жұмысында (қорек көзін қосқан кезде) оған қондырылған мән енгізіледі. Бұл бастапқы жіберу программасының бірінші адресі. Содан кейін әрбір келесі команданы жадыдан таңдағаннан кейін команда санағышының мәні бірлікке (инкрементирленеді) ұлғаяды (немесе процессордың типіне және команда форматынан тәуелді екіге ұлғаяды). Яғни келесі команда жады адресінің тәртібі бойынша келесіден таңдалатын болады.

Жады адрестерінің тізбектей толғаның бұзатын өту командасын орындау кезінде командалар санағышына жадының жаңа адресі – жаңы мәні жазылады. Команда санағышы PC құрамының сондай алмасуы программа ішіндегіні (подпрограма) шақыру және одан қайтару кезінде немесе үзуді өңдеудің бастапқы кезінде және оның аяқталғанынан кейін іске асырылады.

Сонымен қатар кез келген процессордың негізгі функциялары келесілер:

- орындалатын командаларды таңдау (оқу);
- енгізу/шығару құрылғыларынан немесе жадыдан деректерді енгізу (оқу);
- енгізу/шығару құрылғыларынан немесе жадыдан деректерді шығару (жазу);
- деректерді (операндтарды) өңдеу, оған қоса олармен арифметикалық операциялар;
- жадыны адресстеу, яғни алмасу жүргізілетін жады адресін беру;
- тікелей қол жеткізу режимін және үзуді өңдеу.

## **6 дәріс. Микроконтроллерлердің ақпаратты енгізу-шығару порттары. Арнайы тағайындалған регистрлер**

**Дәрістің мазмұны:** микроконтроллерлердің ақпаратты енгізу-шығару порттары. Регистрлер.

**Дәрістің мақсаттары:** микроконтроллерлердің ақпаратты енгізу-шығару порттарын ұйымдастыру және құрылымын оқыту.

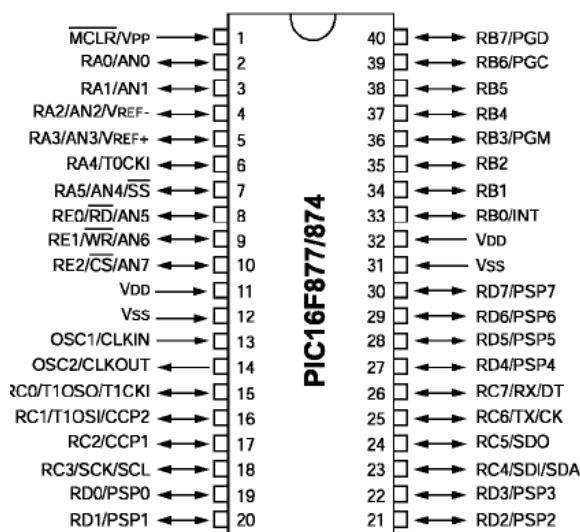
Микроконтроллерлер (МК) – техникалық құрылғылармен технологиялық үрдістерді басқаратын алгоритмдерді іске асыруға бағытталған микропроцессорлы жүйелердің (микроЭЕМ) әртүрлілігі.

МК жадының аз көлеміне және сыртқы құрылғылардың шектелген құрамына ие. Әмбебап микроЭЕМ құрамына үлкен көлем және жоғары тезәрекеттілік жады модульдері кіреді, ЕҚ-дың күрделі иерархиясы бар, өйткені көптеген міндеттерді (АЖЖ, графика, мультимедиялық қосымшалар және т.б.) онсыз шешілмейді. МК алдынала белгілі, күрделі емес алгоритмдерді іске асырады және программаларды орналастыру үшін оларға, кең тағайындалған микроЭЕМ-ға қарағанды, кіші жады сыйымдылығы талап етіледі. Сыртқы құрылғылар жинағы да қысқарады, ал өздері аса қарапайым. Нәтижесінде микроЭЕМ модульдері жеке конструктивті орындалады, ал МК



бір кристалда орындалады. МК тұрмыстық аппаратура, станок құруда, автомобильді өндірісте және т.с.с. өндіріс аймақтарында қолданылады.

Соңғы кезде Intel фирмасы компьютерлер үшін күрделі микропроцессорларды жасау үстінде, олар қарапайым МК рыногын басқа Atmel және Microchip сияқты фирмаларға жол берді. Microchip фирмасының PIC сериялы МК-і төменде анығырақ қарастырылған (6.1-сурет) [2, 8, 10].



6.1-сурет. Microchip фирмасының PIC сериялы микроконтроллерінің шығыстарының орналасуы

Арнайыландырылған микропроцессорлар арасында әртүрлі объектілермен басқару функцияларын орындау үшін арналған микроконтроллерлар және сандық түрде көрсетілген аналогты сигналдарды қажет түрлендіруді қамтамасызтететін процедураларды іске асыруға бағытталған сандық сигналды процессорлар (DSP – Digital Signal Processor) аса кең қолданыс табады.

Микроконтроллерларда қатысатын перифериялық толық емес тізімі келесілерді өзіне қосады:

- UART, LC, SPI, CAN, USB, ETHERNET сияқты әртүрлі енгізу – шығару интерфейстар;
- аналогты-сандық және сандық-аналогты түрлендіргіштер;
- компараторлар;
- кең-импульсты модуляторлар;
- таймерлі-санауыштар;
- тактілі жиілік генераторлар;
- дисплейлер контроллерлары және клавиатуралар;
- флэш-жадысына енгізілген массивтер.

Сегізразрядты микроконтроллерлардың ашық ұсыныушылары Motorola (68HC08, 68HC08, 68HCN) және Zilog (Z8) компанияларының бұйымдары болып табылады.

Microchip фирмасының PIC контроллерларының шығуымен аса маңызды өзгерістер туындады. Бұл чиптар төмен бағаларда ұсынылды және қысқа мерзімде микроконтроллерлардың рыногының аса маңызды бөлігін жаулап алды. Микроконтроллерлармен бірге PICSTART арзан кешендері пайда болды. Бұл микроконтроллерлар жақсы порттарға ие, бірақта қалған барлығы аса ыңғайсыз жасалынған. PIC контроллерлары басқару бойынша жоғарғы талаптарды ұсынбайтын қымбат емес жүйені құру талап етілген жағдайда танымалы.

PIC контроллерлары жетістіктері ағынында оларға ұқсас Scinex фирмасының бұйымдары пайда болды. Олар PIC-тің 33-іне қарсы 52 командалармен қамтылған. Жадымен жұмыс істеу үшін жақсы нұсқаулар енгізілген, архитектурасы жаңартылған, әрбір команда бір тактіге орындалған (тең шарттары кезінде Microchip қарағанда төрт есе тез орындалған) және де тактілі жиілігі 100МГц-ке дейін жетілген. Контроллердің сондай жоғары жылдамдығы оның құрушыларына әртүрлі периферилерден, яғни таймер-санағыштардан, қабылдап-беруші датчиктердегі жылдыту регистрлерден бас тартуға мүмкіндік береді, - бұның барлығын программалы жабдықтармен іске асыруға ұсынылады, тезәрекеттілігі үшін келесілер болса жеткілікті: яғни ішінде- аса тез ядро, жады және енгізу – шығару порттары.

Микроконтроллерлар әлеміндегі нағыз революция 1996 жылы болды, яғни Atmel коорпорациясы AVR жаңа прогрессивті ядросында чиптердің жаңа топтамасын ұсынған кезде. AVR микроконтроллерлары 133 нұсқамаға дейін есептелген аса дамыған командалар жүйесі, 1 Mips (1МГц) жақын өнімділігі, ішкісұлбалы қайтапрограммалау мүмкіндігімен Flash ЕСК программалары бар. Көптеген чиптарда өздігінен программаланатын функциялары бар. AVR –архитектурасы Си жоғарғы деңгейдің тілімен оптималданған. Сонымен қатар топтаманың барлық кристалдары «төменнен жоғары» біріккен. Atmel-да тегін таратылатын программалық өнімдері бар.

Микроконтроллерлардың арасындағы ірі өндірушілердің арасында, сондай-ақ Cypress, Texas Instruments, Dallas Semiconductor, Philips, Infineon Siemens, STMicroelectronics, Fujitsu, Mitsubishi Electronics, Temic, National semiconductor, Oki Semiconductor, Stelecontronics және т.б.

Барлық микроконтроллерлар өз кезегінде 3 класқа шартты түрде бөлуге болады: 8-разрядты, 16-разрядты, 32-разрядты.

## **6.1 PIC16F877 микроконтроллері**

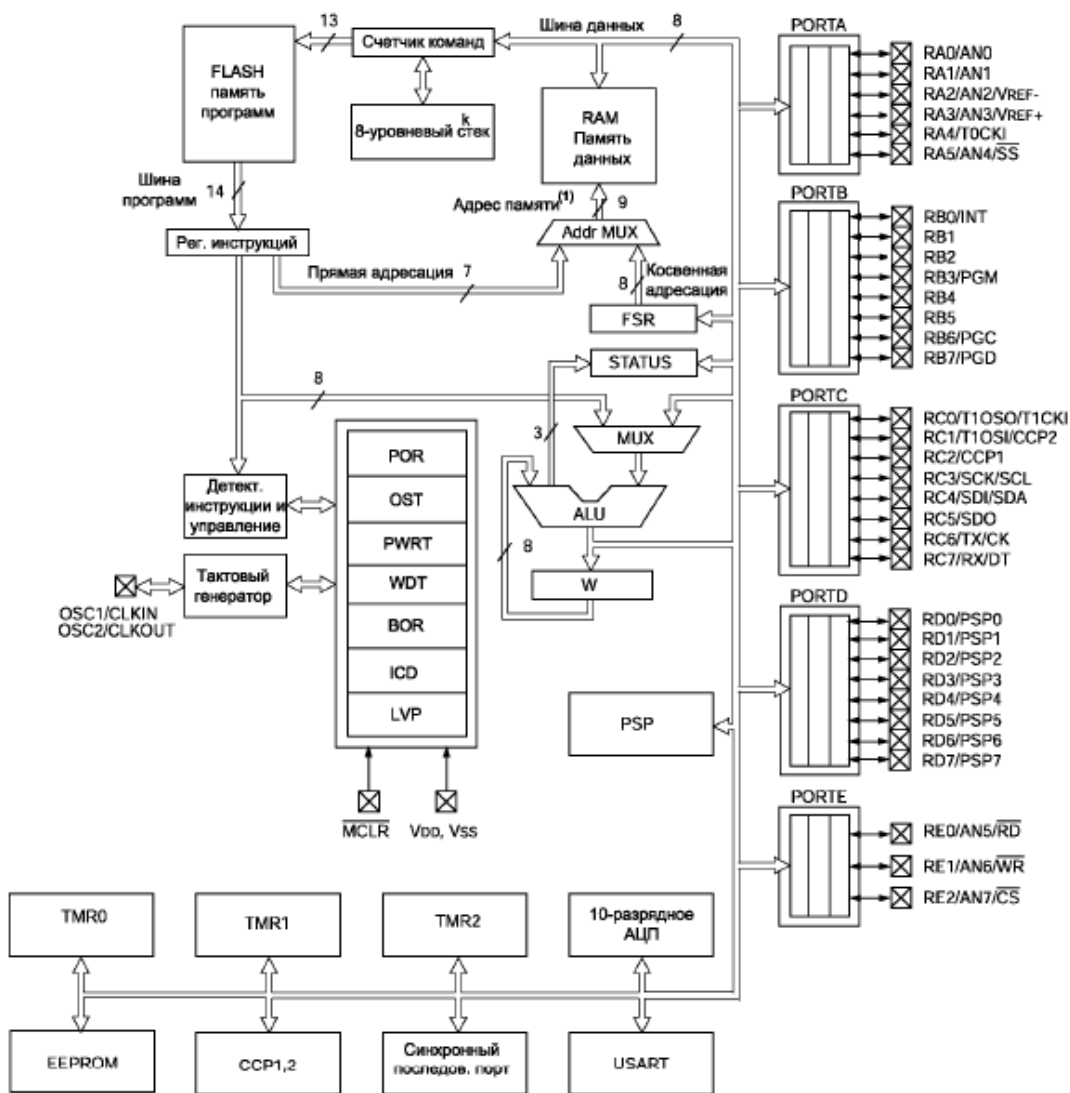
Микроконтроллер сипаттамасы [3, 10, 13]:

- жоғары жылдамдықты RISC архитектурасы;
- 35 нұсқамалар;
- екі циклда орындалатын ауысу нұсқамаларынан басқа барлық командалар бір цикл ішінде орындалады;
- тактілі жиілік: 20МГц, 200 нс – бір машиналық цикл;

- 8×14 дейін сөздер- FLASH бағдарлама жадысы, 368×8 байтқа дейін деректер жадысы (ОЕК), 256×8 байтқа дейін EEPROM деректер жадысы жадысы;

- үзу жүйесі (14 қорек көзіне дейін);
- 8-деңгейлі аппаратты стек;
- тура, жанама және қатысты адрестеу режимі;
- өзінің RC генераторымен WDT күзеткіш таймері;
- бағдарлама жадысының бағдарламаланатын қорғанысы;
- SLEEP энергия сақтау режимі;
- тактілі генераторды таңдау параметрлері;
- жоғары жылдамдықты, энергосақтағыш CMOS FLASH/EEPROM технологиясы;

- кернеу көзінің 2.0 В-тан 5.5 В-қа дейінгі диапазон;
- енгізу/шығару порттарының (25mA) жоғары жүктемелік қабілеттілігі;
- энергияны аз қолдану.



6.2 - сурет. PIC16F877 микроконтроллерінің құрылымдық сұлбасы

МК келесі периферийлік модульдарды өзіне қосады: (6.1-сурет):

- 8-разрядты бағдарламаланатын алдын ала бөлгіші бар таймер 0:8-разрядты таймер/ санағыш;
- сыртқы резонаторды қосу мүмкіндігі бар таймер 1:16-разрядты - таймер/санағыш;
- 8-разрядты бағдарламаланатын алдын ала бөлгіші және шығыс бөлгіші бар таймер 2:8-разрядты - таймер/санағыш
- салыстыру/басып алу/ШИМ (ССР) екі модульі: 16-разрядты басып алу, 16-разрядты салыстыру, 10-разрядты ШИМ;
- көпарналы 10-разрядты АСТ (АЦП);
- тізбектелген MSSP синхронды порты: SPI жетекші/ақпараттау режимі, I<sup>2</sup>C жетекші/ақпараттау режимі;
- адресті детектирлеуі қосылған, USART тізбектелген синхронды-асинхронды қабылдап беруші датчигі;
- ақпараттау 8-разрядты параллельді PSP порты;
- (BOR) кернеу көзінің төмендеуі бойынша бастапқы күйге келтіру үшін төмендетілген (BOD) кернеу детекторы.

## 6.2. МК жадысын ұйымдастыру

PIC16F87X микроконтроллерлерінде жадының үш түрі бар. Бағдарлама жадысы мен деректер жадысының ақпарат пен деректерінің бөлек шиналары болады, олар жұмыстың параллельді орындалуына мүмкіндік береді (6.2-сурет).

Бағдарлама жадасын ұйымдастыру. PIC16F87X микроконтроллері PC командасының 13-разрядты санағышына ие, ол бағдарлама жадысының 8K×14 сөздерін адрестей алады. PIC16F877-де 8K×14 FLASH бағдарлама жадысыны физикалық түрде іске асырылған. Физикалық орындалмаған жады бағдарламаларын шақыру орындалған жадының адрестеуіне әкеледі. Бастапқы күйге келтіру векторының адресі – 0000h. Үзу векторының адресі – 0004h.

Деректер жадысын ұйымдастыру. Деректер жадысы жалпы және арнайы (SFR) тағайындалған регистрлері бар 4 банкке бөлінген. RP1 (STATUS<6>) және RPO (STATUS<5>) биттері ақпарат банктерін басқару үшін арналған. Төмендегі кестеде деректер жады банктерін шақыру кезіндегі басқарушы биттердің күйі көрсетілген.

### 6.1-кесте. Деректер жадысын ұйымдастыру

RP1:RPO	Банк
00	0
01	1
10	2
11	3

Деректер жады банкiсiнiң келемi 128 байт (7Fh) болады. Банктің бас жағында арнайы тағайындалған регистрлеры, одан кейiн статикалық ОЕҚ ретiнде орындалған жалпы тағайындалған регистрлеры орналасады. Барлық iске асырылған банктердiң арнайы тағайындалған регистрлеры болады. Кейбiр, жиi қолданылатын арнайы тағайындалған регистрлеры басқа да жады банктерiнде бейнеленуi мүмкiн.

### 6.3 Регистрлер

Жалпы тағайындалған регистрiн шақыру үшiн FSR регистрi арқылы тура немесе жанама адресстеумен жүзеге асырылады. Арнайы тағайындалған регистрлерi көмегiмен ядро функциясы мен микроконтроллердiң перифериялық модульдерiн басқару орындалады. Арнайы тағайындалған регистрлерi статикалық ОЕҚ (жадының 3-түрi)ретiнде орындалған. STATUS регистрi. STATUS регистрiнде АЛҚ күйiнiң жалаулары, микроконтроллердi бастапқы күйге келтiру себептерiнiң жалауы және деректер жады банкiнiң басқару биттерi құралған (6.2-кесте).

STATUS регистрi деректер жадысының басқада регистрлерi сияқты кез келген командамен адрестенуi мүмкiн. Егер STATUS регистрiн шақыру Z, DC және C жалауларына әсер ететiн командамен орындалса, онда бұл үш биттiң өзгертуi командамен құлыптанады. Бұл биттар бастапқы күйге келтiрiледi немесе микроконтроллер ядросының логикасына сәйкес қондырылады. STATUS регистрiнiң өзгеру командалары -TO және -PD биттарына да әсер етпейдi. Сондықтан STATUS регистрымен команданы орындау нәтижесi күтiлетiннен (ожидаемого) өзгеше болуы мүмкiн. Мысалы, CLR STATUS командасы үш үлкен биттi тастайды да, Z битiн орнатады (команда орындалғаннан кейiн STATUS регистрiнiң күйi 000uu1uu болады, мұндағы u - өзгермейтiн бит).

6.2-кесте. STATUS регистрi

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	-TO	-PD	Z	DC	c
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0

7- бит: IRP: Жанама адресстеу кезiндегi банк таңдауының битi

1 = банк 2, 3 (100h-1FFh);

0 = банк 0, 1 (000h - 0FFh);

6-5 биттерi: RP1:RP0: Тiкелей адресстеу кезiндегi банк таңдауының биттерi

11= банк 3 (180h-1FFh);

10 = банк 2 (100h-17Fh);

01 = банк 1 (080h - 0FFh);

00 = банк 0 (000h - 07Fh);

4-бит: - TO: Күзеткiш таймердiң толу жалауы

1 = кейін POR немесе CLRWDT, SLEEP командаларының орындалуы;

0 = кейін WDT-ң толуы;

3-бит: -PD: Қорек көзін қосу жалауы

1 = POR немесе CLRWDT командасының орындалуынан кейін;

0 = SLEEP командасының орындалуынан кейін;

2-бит: Z: Нольдік нәтиже жалауы

1 = арифметикалық немесе логикалық операцияларды орындау үшін нольдік нәтижесі;

0 = арифметикалық немесе логикалық операцияларды орындау үшін нольдік емес нәтижесі;

1-бит: DC: Ондық ауысу/алу жалауы (ADDWF, ADDWL, SUBWF, SUBWL командалары үшін), алу инверсті мәнге ие

1 = кіші жартыбайттан ауысу болды;

0 = кіші жартыбайттан ауысу болмады;

0-биті: C: ауысу/алу жалауы (ADDWF, ADDWL, SUBWF, SUBWL командалары үшін), алу инверсті мәнге ие

1 = жоғарғы байттан ауысу болды;

0 = жоғарғы байттан ауысу болмады;

PCLATH және PCL регистрлері. PC 13-разрядты команда санағышының регистрі орындалатын нұсқама адресін көрсетеді. PCL команда санағышының кіші байты оқу және жазу үшін рұқсаты бар. PCH-ң құрамында PC команда санағышының <12:8> биттері бар үлкен байт оқу және жазу үшін рұқсаты жоқ. PCH регистрімен барлық операциялар PCLATH қосамша регистрі арқылы жүргізіледі. Микроконтроллердің кезкелген тастау (сброс) түрі кезінде PC командалар санағышы тазаланады. 10.3-суретте PC команда санағышына мәндердің жүктелуінің екі түрі көрсетілген. Үстіңгі мысал, PC команда санағышына жазу, PCL (PCLATH <4:0> → PCH) регистріне мәндер жазған кезде орындалады.

PIC16F87X-ң 8-деңгейлі 13-разрядты аппарат стегі бар. Стектің бағдарлама және деректер жадысына бейнесі болмайды, стектен деректерді жазуға немесе оқуға болмайды. Команда санағышының мәндері, (CALL) ішкі бағдарламасына өту немесе үзуді өңдеу нұсқауларын орындаған кезде, стек шыңына енгізіледі. Стектен оқу және PC команда санағышына жазу, ішкі бағдар-ламадан қайту немесе үзуді өңдеу (RETURN, RETLW, RETFIE) нұсқауларын орындағаннан кейін жүзеге асырылады, бұл кезде PCLATH регистрінің мәндері өзгермейді. Стекке 8 жазудан кейін 9-шы жазу 1-ші жазудың орнына жазылады, ал 10-шы 2-шінің орнын алады, солай жалғаса береді.

INDF және FSR регистрлері. Жанама адрестеудің орындалуы үшін INDF физикалық орындалмаған регистрді шақыру керек. INDF регистрін шақыру адресі FSR-де көрсетілген регистрді шақыруға алып келеді. INDF (FSR=0) регистрінің жанама оқылуы 00h нәтижесін береді. INDF регистріне жанама жазу ешқандай әрекеттерді туғызбайды (STATUS регистріндегі ALU

жалауына әсер етеді). IRP жанама адрестерінің 9-биті STATUS<7> регистрінде сақталады.

#### 6.4 Енгізу-шығару порттары

Енгізу/шығару порттарының кейбір арналары МК-ң перифериялық модульдермен мультиплексиленген. Перифериялық модуль қосылып тұрған кезде, енгізу-/шығарудың әмбебап арнасы ретінде қолданыла алмайды.

PORTA және TRISA регистрлері. PORTA - 6-разрядты енгізу/шығару порты (RA5–RA0). PORTA-ң барлық арналары TRISA регистріне сәйкес бағытталу биттарына ие. TRISA регистріне 1-жазу сәйкес шығыстық буферді 3-күйге әкеледі. TRISA регистріне '0'-жазу сәйкес арнаны шығыс ретінде анықтайды, PORTA қысқыштарының құрамындағылар микроконтроллердің шығару портына беріледі.

PORTA регистрінің оқылуы шығару портының күйін қалпына келтіреді, ал жазу PORTA қысқышында орындалады. Портқа барлық жазу операциялары «оқу – модификация – жазу» принципі арқылы жүзеге асырылады, яғни алдымен шығару портының күйі оқылады, одан кейін өзгертулер мен қыстырмаға жазу орындалады.

PORTA арнасы АСТ-ң (АЦП) аналогты кірістерімен және  $V_{REF}$  тірек кернеу көзінің аналогты кірістерімен мультиплицирленген. PORTA енгізу/шығару порт арналарының жұмыс режимдерін басқаратын биттары ADCON1 регистрінде орналасқан.

TRISA регистрінің биттары PORTA арналарының бағытын, тіпті олар аналогты кіріс ретінде қолданылған кездің өзінде, басқарып отырады. Қолданушы: PORTA-ң сәйкес арналары кіріске дұрыс орнатылғанына көз жеткізу керек, әсіресе ол аналогты кіріс ретінде қолданылса.

Ақпар параллельді порты. PORTD - PSPMODE(TRISE<4>) биті '1'-режиміне орнатылған кезде, 8-разрядты параллельді порт сияқты жұмыс істейді. Ақпар режимінде деркестер асинхронды оқылады немесе RD (RE0/-RD) не -WR(RE1/-WR) сыртқы сигналдарымен жазылады (5.3-сурет).

Сыртқы микропроцессор деректерді PORTD-қа жазып/оқи алады. Оқу/жазу операциялары RD, -WR кірістеріндегі сигналдың төменгі логикалық деңгейінде және CS микросұлбасының таңдау кірістеріндегі сигналдың төменгі логикалық деңгейінде орындалады. TRISE (TRISE<2:0>) биттері '1'-режиміне орнатылуы керек. ADCON1 регистріндегі RE2:RE0 шығару порттары енгізу/шығарудың сандық арналары сияқты орнатылуы тиіс (PCFG3:PCFG0 биттары).

Екі 8-разрядты регистрлер бар: біруі – ақпаратты қабылдау үшін, екіншісі – беру үшін. Қолданушы 8-разрядты деректерді PORTD шығыс қысқышына жазады, ал деректерді оқуды кіріс қысқышынан жүргізеді (назар аударыңыз, кіріс және шығыс қысқыштарының адресі бірдей). Бұл режимде TRISE регистрінің бит мәндері еленбейді, өйткені деректермен басқаруды сыртқы құрылғы басқарады.

Егер -CS және -WR шықпалары сигналдың төменгі деңгейіне ие болса, онда PSP-ға жазу орындалады. CS немесе -WR шығару порттарындағы сигнал жоғары деңгейге өткеннен кейін деркетер Q2 тактіндегі кіріс қысқышында сақталады. Q4 тактінде IBF(TRISE<7>) биті '1' режимде орнатылады. IBF биті PORTD регистрінің оқылуы арқылы ғана '0' режиміне өтеді. Егер PSP-ға келесі жазу орындалмаса, ал алдыңғы байт оқылмаса, онда IBOV(TRISE<5>) толу биті '1' режимде орнатылады.

PSP-дан оқу -CS және -RD шығару порттарында сигналдың төменгі деңгейі болған жағдайда орындалады. OBF(TRISE<6>) биті лезде 0 режиміне тасталып, PORTD сыртқы шинамен оқуды күтіп жатқанын көрсетеді. -CS немесе -RD шықпаларындағы сигнал жоғарғы деңгейге ауысқаннан кейін Q4 (тек Q2 тактінен кейін ғана) тактіндегі PSPIF үзу жалаулары орнатылады, олар оқу аяқталғанын көрсетеді. OBF биті PORTD-ға жаңа деректер жүктелмейінше 0 режимінде болады.

PSP режимі өшірілген кезде IBF және OBF биттері 0-ге теңеседі, ал 1-режимінде алдынала орнатылған IBOV биті бағдарламалы тасталуы керек.

PSPIF үзу жалауы әр жазу/оқу операциясы аяқталғаннан кейін 1-режимде орнатылуы тиіс. PSP модулінен үзуге рұқсат беру/бермеуді PSPIE (PIE1<7>) тастау битін орнатумен жүзеге асыруға болады.

## **7 дәріс. Командалар жүйесі туралы жалпы мағлұматтар. Командалар форматы және тізімі**

**Дәрістің мазмұны:** процессордың негізгі командалар топтары, оларды орындау ерекшеліктері қарастырылады.

**Дәрістің мақсаттары:** процессордың негізгі командалар топтарын және орындау ерекшеліктерін, командалар форматын және тізімін оқыту.

PIC16F8X топ ішіндегі микроконтроллерларда 35 командадан ғана тұратын қарапайым және тиімді командалар жүйесі бар. PIC16F8X топ ішіндегі МК әрбір командасы түзбе операциясына (OPCODE) бөлінген 14-битті сөзді және осы командада қатысатын немесе қатыспайтын бір немесе бірнеше операндылар үшін алаңды өзімен көрсетеді. PIC16F8X командылар жүйесі ортогональді болып табылады және өзіне байттармен жұмыс істеу командаларын, биттармен жұмыс істеу командаларын, константылармен операцияларды және басқару командаларын қосады. 7.1 кестеде командылар операция коды алаңының жазылуы келтірілген.

7.1 - кесте. PIC16CXXX МК операция коды алаңының сипаттамасы

<b>Алаң</b>	<b>Жазылуы</b>
f	Регистр адресі
w	Жұмыс регистрі
b	8-разрядты регистрдағы бит нөмірі



k	Константа
x	Қолданылмайды. Ассемблер x=0 мен түзбені қалыптастырады
d	Тағайындалу регистрі: d=0 –w регистрындағы нәтиже d=1 –f регистрындағы нәтиже Қалып бойынша d=1
label	Таңбаның аты
TOS	Стек төбесі
PC	Команда санағышы
PCLATH	PCLATH регистрі
GIE	Барлық үзулерге рұқсат бит
WDT	Күзеттік таймер
/TO	Тайм-аут
/PD	Қоректі өшіру
dest	Тағайындалу регистрі: w жұмыс регистрі немесе командада берілген регистр
[ ]	Қажетсіз параметрлер
( )	Мазмұны
	Тағайындау
<>	Бит нөмір алаңы
	Жинақтан

f байттарымен жұмыс істеу командасы үшін әрекет жүргізілетін регистрді белгілейді;

d – нәтижені қайда қоюға болатының анықтайтын бит. Егер d =0, онда w регистріне орналасады, d=1 кезінде нәтиже командада айтылған "f" регистрына орналасатын болады. b биттармен жұмыс істеу үшін командада қатысатын бит нөмірін белгілейді, ал f – бұл берілген бит орналасқан регистр. Тұрақтылармен операциялар және басқаруды беру командылары үшін, k сегіз – немесе онбір битті тұрақтыны белгілейді. Барлық командылар бір командылық цикл бойында орныдалады. Екі жағдайда команданың орындалуы екі командалық циклды орын алады: шартты тексеру және өтпелі; команданы орындау нәтижесі ретінде программалық санағышты өзгерту.

Бір командалық цикл генератордың төрт периодынан тұрады. Сондықтан 4 МГц жиілігімен генератор үшін командалық циклдің орындау уақыты 1 мкс тең болады. PIC16F8X топ ішіндегі МК командылар жүйесі 7.2 кестеде келтірілген [3].

#### 7.2 - кесте. PIC16F8X МК командалар жүйесі

Мнемоника	Команданың жазылуы	Циклдар	Күй биттары	Ескерту
ADDWF f, d	W-ды f пен қосу	1	C ,DC ,Z	1, 2
ANDWF f, d	W және f логикалық И	1	Z	1, 2
CLRF f	f регистрын бастапқы күйге	1	Z	2

	келтіру			
CLRW	W регистрын бастапқы күйге келтіру	1	Z	
COMF f, d	f регистрінің инверсиясы	1	Z	1, 2
DECF f, d	f регистрінің декременті	1	Z	1, 2
DECFSZ f, d	f декремент, егер 0 –ге тең болса, команданы өткізу	1(2)		1, 2, 3
INCF f, d	f регистрінің инкременті	1	Z	1, 2
INCFSZ f, d	f инкремент, егер 0 –ге тең болса, команданы өткізу	1(2)		1, 2, 3
IORWF f, d	W және f логикалық ИЛИ	1	Z	1, 2
MOVF f, d	f регистрды тасымалдау	1	Z	1, 2
MOVWF f	W-ды f-қа тасымалдау	1		
NOP -	Бос командасы	1		
RLF f, d	Тасымалдау арқылы солға f жылжыту	1	C	1, 2
RRF f, d	Тасымалдау арқылы оңға f жылжыту	1	C	1, 2
SUBWF f, d	W-ды f тан алып тастау	1	C,DC,Z	1, 2
SWAPF f, d	f -ғы тетрадалардың орындарын ауыстыру	1		1, 2
XORWF f, d	W және f ИЛИ терістеу	1	Z	1, 2
BCF f, b	f регистрында битті бастапқы күйге келтіру	1		1, 2
BSF f, b	f регистрында битті қондыру	1		1, 2
BTFSC f, b	егер f –ғы бит нөлге тең болса, команданы өткізу	1(2)		3
BTFSS f, b	егер f –ғы бит бірге тең болса, команданы өткізу	1(2)		3
ADDLW k	W және тұрақтыны қосу	1	C, DC, Z	
ANDLW k	Тұрақтылар және W логикалық И	1	Z	
CALL k	Программа ішін шақыру	2		
CLRWDТ -	WDT күзеттік таймерді бастапқы күйге келтіру	1	/TO, /P	
GOTO k	Адрес бойынша өту	2		
IORLW k	Тұрақтылар және W логикалық ИЛИ	1	Z	
MOVLW k	Тұрақтыларды W –ға тасымалдау	1		
RETFIE -	Үзуден қайтару	2		
RETLW k	W –ға тұрақтыны	2		

	жүктемелеумен программа ішінен қайтару			
RETURN -	Программа ішінен қайтару	2		
SLEEP -	SLEEP режиміне өту	1	/TO, /P	
SUBLW k	Тұрақтыдан W алу	1	C, DC, Z	
XORLW k	W және тұрақтылар константы және ИЛИ терістеу	1	Z	
<p>Кестеге ескерту:</p> <p>Егер енгізу/шығару (мысалы, MOVF PORTB,1) модифицирленсе, онда шығыстан саналатын мән қолданылады. Мысалы, егер кіріске қосылған порттың шығыс қысқышында "1" болса, ал сыртқы құрылғы осы шығыста "0" қалыптастырса, онда деректер разрядында "0" жазылатын болады.</p> <p>Егер команда операнды болып TMRO (және, егер қол жетерлік болса, d=1) регистрінің құрамы болып табылса, онда алдын ала бөлгіш ( егер ол TMRO –ға қосылса) бастапқы күйге келтірілетін болады.</p> <p>Егер команданы орындау нәтижесінде команда санағышы өзгерсе немесе шартты тексеру бойынша орындалса, онда команда екі циклда орындалады.</p> <p>Екінші цикл NOP ретінде орындалады.</p>				

## **8 дәріс. Байттармен, биттармен, басқару командалары және тұрақтылармен жұмыс істеу командалары. Бағдарламалау және тексеру (отладка) ерекшеліктері. Байттармен жұмыс істеу командалары**

**Дәрістің мазмұны:** процессордың негізгі командалар топтары; байттармен, биттармен, басқару командалары және тұрақтылармен жұмыс істеу командалары. Бағдарламалау және тексеру (отладка) ерекшеліктері қарастырылады.

**Дәрістің мақсаттары:** процессордың негізгі командалар топтарын және байттармен, биттармен, басқару командалары және тұрақтылармен жұмыс істеу командаларын; бағдарламалау және тексеру (отладка) ерекшеліктерін оқыту.

### *Байттармен жұмыс істеу командалары*

Байттармен жұмыс істеу командалары PIC МК –да регистрлер арасында деректерді тасымалдау және олардың құрамындағылармен математикалық операция орындау үшін қолданылады. Қатысты кішігірім командалар жинағына қарамастан олар операциялардың біршама қатарын іске асыруға мүмкіндік береді. Бұл негізінен командада операция нәтижесінің адресін көрсету мүмкіндігімен байланысты. Командалар жүйесінің артықшылығы сондай-ақ регистрлерге бет бұрудың әртүрлі тәсілдерін қолдану мүмкіндігі болып табылады. Регистр адресі 7-битті f алаңына сәйкес тікелей командада көрсетілуі мүмкін. Осыдан ағымдық деректер банкінің шектерінде орналасқан

деректерге ғана рұқсат болуы мүмкін. Деректерді адресітеу нөльдік адрес бойынша орналасқан INDF жанама адресітеу регистріне бет бұру жолымен FSR индексті регистр көмегімен іске асырылады.

Деректерді тасымалдау екі команда көмегімен орындалады: MOVF және MOVWF, олардың тағайындалуы бір бірінен ерекше. MOVF командасы анықталған регистрдің құрамындағыларынан тәуелді нөльдік нәтиженің битін қондыру үшін қолданылады және w регистріне оны жүктеу үшін қолданылуы мүмкін. MOVWF командасы МК көрсетілген регистрына w жұмыс регистрының құрамындағыларын жазу үшін қолданылады. Егер осы регистр ретінде INDF көрсетілсе, онда тағайындалу регистрінің адресі FSR регистрінен таңдалады. Берілген команданы орындау кезінде күйдің биттары өзгермейді.

CLRF f және CLRW арнайы командалары МК регистрларын тазарту үшін қолданылады. CLRF f командасы көрсетілген регистрге, ал команда CLRW – жұмыс регистрге нөльді жазады. Осыдан олар, нөль битінің сәйкес мәндерін қондырады.

Арифметикалық операцияда аса жиі қолданылатын ADDWF f,d командасымен орындалатын қосу болып табылады. Бұл операциялар күйдің барлық биттарын өзгертуі мүмкін. Нөль биті 1-ге қондырылады, егер 0x0FF (255) санымен және алынған нәтижеден "И" логикалық операциясын орындау кезінде нөль алынса. Тасымалдау биті 1-ге қондырылады, егер нәтиженің төрт кіші биттарының қосындысы 0x0F (15) –н жоғары болса. SUBWF f, d алу операциясын орындау кезінде PIC МК-да олар теріс санмен қосу операциясын орындайтының естен шығармау қажет. Яғни  $d = f - w$  операциясының орнына шын мәнінде  $d = f + (-w)$  операциясы орындалады. W құрамындағы теріс мәндер  $Negw = (Posw \wedge 0x0FF) + 1$  формула бойынша есептеледі.

ANDWF f, d, IORWF f, d және XORWF f, d логикалық операциялар командалары w регистрінің және көрсетілген регистрдің құрамындағыларының сәйкес биттарымен негізгі логикалық операцияларды орындауға мүмкіндік береді. STATUS регистріндегі нөльдік бит 1-ге қондырылады немесе алынған нәтиженің мәнінен тәуелді 0 күйге келтіріледі.

XORWF f, d командасын кейбір регистрдің құрамындағыларын тексеру үшін қолдануға ыңғайлы. Ол үшін берілген санды w регистріне жүктемелеу және тексерілетін регистрдің және w құрамындағыларымен XORWF f, d операциясын орындау қажет.

Егер регистрдің құрамындағылары w құрамындағысына тең болса, онда операция нәтижесі нөльге тең болады, және нөльдік бит 1-ге қондырылады. COMF f, d командасы бастау (источник) регистрінде барлық биттердің мәнін инвентирлеу (терістеу) үшін қолданылады. Бұл команда санды терістемейтінің ескеру қажет, яғни оны қосымша түзбеге ауыстырмайды. Neg теріс саны оң Pos -н келесі тәсілмен алынған:  $Neg = (Pos \wedge 0x0FF) + 1$ .

SWAPF f, d командасы регистрдағы тетрадалардың орның ауыстырады. Берілген топтың қалған командаларында да орындау нәтижесі w регистрі сияқты регистр-бастауында (источник) да жазылуы мүмкін. Берілген команда

үзуден қайтару алдында контексті регистрлердің құрамындағыларын қалпына келтіру үшін қолданылуы мүмкін.

SWAPF f, d командасын негізінен олардың қайсысын сіз қолданғыңыз келетінен тәуелді оларды ауыстыра отырып, регистрде екі санды сақтау үшін қолдануға болады. SWAPF f, d командасы көмегімен олардың дисплейда келесі бейнеленуі үшін байтты екі тетрадаға бөлу ыңғайлы.

RLF f, d және RRF f, d циклдық жылжыту командаларының негізгі функциясы регистрдың құрамындағыларын тасымалдау битінің мәнін кіші мәнді биттің орнына жазумен бір битке оңға немесе солға жылжыту немесе соған сәйкес үлкен мәнді биттің мәніне сәйкес тасымалдау битің қоңдыру болып табылады. n туындысының 2 санына бөлу және көбейту үшін қолданылуы мүмкін. Олар сондай-ақ деректерді тізбекті енгізу немесе шығаруды тарату және жеке биттардың мәнін тестілеуге мүмкін болатын байтты позиционирлеу үшін қызмететуі мүмкін.

INCF f, d инкремент және DECF f, d декремент командалары регистр құрамындағыларын 1-ге өзгерту үшін қолданылады. Инкремент және декремент командаларын орындағанан кейін нөлдік бит ғана өзгереді. Егер нәтиже инкремент кезінде 0x0FF мәнінен жоғары болса немесе декремент кезінде 0-ден кіші болса, тасымалдау битін өзгерту жүрмейді.

Программада шартты өтпелілерді тарату үшін нөлдік нәтиже кезінде команданы өткізумен декремент және инкремент командалары бар: INCFSZ f, d және DECFSZ f, d. Деректерді өңдеу көз қарасынан олар INCF f, d және DECF f, d командаларына ұқсас жұмыс істейді. Осы командалардан негізгі айырмашылығы INCFSZ f, d немесе DECFSZ f, d командаларын орындаудың нөлдік нәтижесі кезінде одан кейінгі команда жіберілді. Бұл INCFSZ f, d және DECFSZ f, d командалары программалық циклдарды ұйымдастыру үшін қолданылады. Осы командалардың басқа ерекшелігі STATUS регистр күйінің биттерінің құрамындағыларына әсер етпейді. NOP командасы операция жоқтығын білдіреді. Ол дәстүрлі екі мақсат үшін қолданылады. Бірінші – жүйенің әртүрлі құрылғыларының уақытша сипаттамаларымен программаның синхронизациясын қамтамасыз ету. Екінші мүмкін варианты программалық түзбенің бөлігін алып тастау үшін NOP командасын қолдану болып табылады. NOP команданың түзбесі нөлдердің біреуінен тұратынның әсерінен, программаның барлық жадысын репрограммалау және өшіруге әрекеттенбей-ақ оны программа жадысына басқа кез келген команданың орнына енгізуге жеңіл [3, 10].

#### *Биттармен жұмыс істеу командалары*

Берілген командалар тобының айрықша ерекшелігі олар бірбитті операндылармен (операндтар ретінде МК регистрларының жеке биттары қолданылады) бірлеседі (оперируют). Жеке биттарды бастапқы күйге келтіру және қоңдыру BSF f, b и BCF f, b командаларымен жүзеге асады. Регистрлық жадыдағы кез келген рұқсат битті жазу үшін осындай тәсіл модифицирленуі мүмкін. Осыдан регистрдің қалған биттерінен бірде біреуі өзгертілмейтініне кепілдік беріледі.

Бірақ та енгізу/шығару порттарымен жұмыс істеу кезінде соңғы бекіту әрқашан әділетті емес. Бұл порт регистрінен саналатын сан мәндері деректердің кірісі немесе шығысы ретінде олардың нәтижелерінің конфигурациясына тәуелділігімен байланысты.

РІС МК–да қарастырылатын командалар жүйесінде шартты өтпелі командалары жоқ. Олардың орнына келесі команданың орындалуын өткізуге мүмкіндік беретін командалар бар. Негізінен жоғарыда қарастырылған INCFSZ f, d және DECFSZ f, d командалары программадағы циклдарды ұйымдастыру үшін ыңғайлы.

Программаны орындау үрдісін басқару үшін берілген регистрда анықталған биттің күйіне тәуелді программаның келесі командасының орындалуын өткізуге мүмкіндік беретін BTFSC f, b и BTFSS f, b биттармен жұмыс істеу командалары қолданылады. Егер берілген регистр ретінде STATUS регистры қолданылса, онда стандартты архитектураның микропроцессорларында алдын ала қарастырылған операция нәтижесінің белгілер битінің күйіне тәуелді программаның өтпелілерімен басқаруды ұйымдастыруға болады.

#### *Тұрақтылармен жұмыс істеу және басқару командалары*

Тұрақтылармен жұмыс істеу командалары операцияны орындау кезінде команданың бөлігі болып табылатын анық берілген операндыларды қолданады. MOVLW k командасы w жұмыс регистріне k константасын жазу үшін қолданылады. Осыдан STATUS регистрінің құрамындағылары өзгермейді. ADDLW k командасы w регистрінің құрамына берілген шаманы тікелей қосады. Бұл команда ADDWF f, d командасы сияқты тасымалдау, ондық тасымалдау және нөлдік биттер мәнін өзгертеді. SUBLW k командасы k тұрақтының берілген мәнінен w регистрінің құрамындағыларын алады. SUBWF f, d –ға қарағанда SUBLW k команданы орындау нәтижесін келесі түрде көрсетуге болады:  $w = k + (w \wedge 0x0FF) + 1$ . Осы команданың көмегімен w регистр құрамындағыларының таңбасын өзгертуге ыңғайлы, яғни оны келесі түрде қолдана отырып: SUBLW 0.

ANDLW k, IORLW k и XORLW k логикалық операциялар командалары k тікелей берілген тұрақтымен және w регистрінің құрамындағыларына сәйкес операцияларды бит бойынша орындайды. Бұл командалар байттармен жұмыс істеу командалары сияқты операция нәтижесіне сәйкес STATUS регистрінде нөлдік битті ғана қондырады. Алынған нәтиже w регистрінде сақталады. IORLW 0 команда көмегімен w регистр құрамындағыны нөлге теңестіруді анықтайды. Осы операцияның нәтижесінен тәуелді нөлдік бит 1-ге қондырылатын болады немесе 0-ге бастапқы күйге келтіріледі. RETLW k командасы w регистріне бастапқы шарттарды қондырумен программа ішіндегілерден қайтару үшін, сондай-ақ төменде жазылатын кестелік түрлендірулерді тарату үшін қолданылады. Программа ішінен қайтару алдында бұл команда w жұмыс регистріне тікелей берілген шаманы жүктемелеуді іске асырады [3, 14].

GOTO k, CALL k, RETURN және RETFIE командалары программамен басқару үшін қолданылады. GOTO k және CALL k командалары анықталған парақтар шектерінде өтпелі адрестерді анық бере алады. Өлшемі МК типіне тәуелді, яғни келесілер: МК үлкен модельдері үшін 8K адрестер, орта деңгейдің (PIC16F8X қоса отырып) PIC МК үшін 2K адрестер және кіші модельдер үшін 256/512 адрестер. Егер өтпелі адрес парақтың шектеріне шықса, онда PCLATH регистрінде жаңа парақ туралы дұрыс ақпарат болу қажет. CALL k командасы GOTO k сияқты орындалады, егер келесі параққа көрсеткіш команда санағыш стекте сақталатының қоспағанда. Орта топтың PIC МК үшін RETLW k, RETURN және RETFIE командалармен анықталатын программа ішіндегілерден қайтарудың үш әртүрлі тәсілі бар. Осы тәсілдердің әрқайсында адрестер мәні стек төбесінен алынып және командалар санағышына жүктеледі. Бұл адрестер үзуден немесе программа ішінен қайтару үшін қолданылады. RETURN командасын әдеттегідей қолдану программа ішіндегілерді шақыру командасынан кейінгі командалар адресін қалпына келтіруіне әкеліп соғады. Осыдан кез келген регистрлардың құрамындағылары жеке биттардың мәні сияқты өзгермейді. RETFIE командасы үзуден қайтару үшін қолданылады. Ол RETURN командасына сәйкес таратылады (оны орындау кезінде INTCON үзулермен басқару регистріндегі GIE биті 1-ге қондырылатының қоспағанда). Бұл берілген команданы орындағаннан кейін өзінің кезегін күтіп тұрған үзуді өңдеуге тез арада көшуге мүмкіндік береді. МК функционалдығын тікелей басқару үшін қызметтетін бар болғаны екі команда бар. Олардың біріншісі – CLRWDT – күзеттік таймерді бастапқы күйге келтіру үшін қолданылады. Екінші – SLEEP - PIC МК –не программаның орындалуын жалғастыруға мүмкіндік беретін кез келген сыртқы жағдай пайда болмайынша күту режиміндегі МК ағымдық күйін сақтауды қамтамасызетеді. CLRWDT командасы біріншіден күзеттік таймердің уақыт есебін жібере отырып, алдын ала бөлгішті (предделитель) (егер ол WDT жұмыс істеу (срабатывания) уақыт интервалын қондыру үшін қолданылады) және WDT күзеттік таймердің құрамындағыларын 0-ге бастапқы күйге келтіреді. CLRWDT команданы енгізу мақсаты программаның қалыпты орындалу кезінде МК қайтақосуды болдырмау болып табылады.

SLEEP командасы екі мақсат үшін қызмет етеді [14]. Олардың біреуі ол программаның орындалуын бітіргеннен кейін МК өшіру болып табылады. МК мұндай қолданылуы тек анықталған міндетті (мысалы , жүйеде басқа құрылғыларды инициализациялау, одан кейін оны функционалдау талап етілмейтін) шешу үшін ғана қажет кезде ұсынылады. SLEEP командасын қолданудың екінші мақсаты кез келген жағдайда күту режимін МК-ға тарату болып табылады. МК –ды күту режимінен алып шығатын үш жағдай бар. Олардың біріншісі нөлдік адреспен программаның орындалуының басына және процессордың қайтақосылуына әкеліп соғатын МК-ң бастапқы күйге келтіру кірісіне қосудың сигналын беру болып табылады. Екінші тәсіл – күзеттік таймерден МК «оятушы» сигналының келіп түсуі.

## Әдебиеттер тізімі

### Негізгі:

1. Новиков Ю.В., Скоробогатов П.К. Основы микропроцессорной техники: учебное пособие. -4-е изд., испр. –М.: Интернет-Университет информационных технологий; Бином. Лаборатория знаний, 2009-357 с.:ил.
2. Александров Е.К., Грушвицкий Р.И., Куприянов М.М., Мартынов О.Е., Панфилов Д.И., Ремизевич Т.В., Татаринов Ю.С., Угрюмов Е.П., Шагурин И.И. Микропроцессорные системы/Под. ред. Д.В. Пузанкова.- СПб.: Политехника, 2002.-935 с.: ил.
3. Яценков В.С. Микроконтроллерлер MicroСНIP . Практическое руководство М: Горячая линия – Телеком, 2002.
4. Костров Б.В. Микропроцессорные системы и микроконтроллеры. –М.: «ТехБук», 2007.
5. Трамперт В. AVR – RISC микроконтроллеры.-К.:»МК-Пресс», 2006.
6. Фрунзе А.В. Микроконтроллеры? Это же просто! Том 1 –М: Издательский дом «Додэка –XXI», 2007.
7. Брей Б. Микропроцессоры Intel. – СПб.: БХВ – Петербург, 2005.
8. Корнеев В.В. Современные микропроцессоры. СПб.:БХВ – Петербург, 2003.

### Қосымша:

9. Шагурин И.И., Бердышев Е.М. Процессоры семейства Intel P6. Архитектура, программирование, интерфейс. – М.: Горячая линия, - Телеком, 2002-248с.
10. Тавернье К. PIC-микроконтроллеры. - ДМК Пресс, 2003.
11. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2004.
12. Бойко В.И. и др. Схемотехника электронных систем. Цифровые устройства. – СПб.: БХВ-Петербург, 2004.
13. Бойко В.И. и др. Схемотехника электронных систем. Микропроцессоры и микроконтроллеры. – СПб.: БХВ-Петербург, 2004.
14. MPLAB-ICD пайдаланушысына нұсқама.



2018 ж. қосымша жоспары, реті

Мустагулова Бопә Жанабаевна

## **МИКРОПРОЦЕССОРЛЫҚ ТЕХНИКА НЕГІЗДЕРІ**

5В071800 – Электр энергетика және 5В081200 – Ауыл шаруашылығын энергиямен қамтамасыз ету мамандығының студенттеріне арналған дәрістер жинағы

Редактор

Стандарттау бойынша маман Н.К. Молдабекова

Басуға \_\_\_\_\_ қол қойылды  
Таралымы дана  
Көлемі есептік-баспа табақ

Пішімі 60x84 1/16  
Баспаханалық қағаз №1  
Тапсырыс \_\_. Бағасы тг.

«Алматы энергетика және байланыс университеті»  
коммерциялық емес акционерлік қоғамының  
көшірмелі-көбейткіш бюросы  
050013, Алматы, Байтұрсынұлы көшесі, 126

Некоммерческое акционерное общество  
АЛМАТИНСКИЙ УНИВЕРСИТЕТ ЭНЕРГЕТИКИ И СВЯЗИ  
Кафедра электроснабжение и возобновляемые источники энергии

УТВЕРЖДАЮ  
Проректор по учебно-  
методической работе  
\_\_\_\_\_ С.В.Коньшин  
«\_\_» \_\_\_\_\_ 2018 г.

**МИКРОПРОЦЕССОРЛЫҚ ТЕХНИКА НЕГІЗДЕРІ**

5B071800 – Электр энергетика және 5B081200 – Ауыл  
шаруашылығын энергиямен қамтамасыз ету мамандығының студенттеріне  
арналған дәрістер жинағы

СОГЛАСОВАНО  
Начальник УМО  
\_\_\_\_\_ Р.Р. Мухамеджанова  
«\_\_» \_\_\_\_\_ 2018 г.

Председатель УМС  
\_\_\_\_\_ М.В.Курпенов  
«\_\_» \_\_\_\_\_ 2018 г.

Редактор  
\_\_\_\_\_  
«\_\_» \_\_\_\_\_ 2018 г.

Специалист по стандартизации  
\_\_\_\_\_ Н.К.Молдабекова  
«\_\_» \_\_\_\_\_ 2018 г.

Рассмотрено и одобрено на  
заседании кафедры ЭВИЭ  
Протокол №\_ от «\_\_» \_\_\_\_\_ 2018 г.

Зав. кафедрой  
\_\_\_\_\_ К.Т.Тергемес  
(подпись И.О.Ф.)

Составитель(разработчик):  
Ст. преподаватель  
\_\_\_\_\_ Б.Ж.Мустагулова  
(подпись И.О.Ф.)