



**Некоммерческое  
акционерное  
общество**

**АЛМАТИНСКИЙ  
УНИВЕРСИТЕТ  
ЭНЕРГЕТИКИ И  
СВЯЗИ**

Кафедра  
инженерной  
кибернетики

## **ИНТЕГРИРОВАНИЕ ЦИФРОВОЙ ТЕХНИКИ В СИСТЕМЫ АВТОМАТИЗАЦИИ УПРАВЛЕНИЯ**

Методические указания по выполнению  
лабораторных работ  
для магистрантов специальности  
6М070200 – Автоматизация и управление

Алматы 2014

**СОСТАВИТЕЛЬ:** А.М.Ауэзова. Интегрирование цифровой техники в системы автоматизации управления. Методические указания по выполнению лабораторных работ для магистрантов специальности 6М070200 - Автоматизация и управление. - Алматы: АУЭС, 2014.- 45 с.

Методические указания содержат указания по подготовке к проведению лабораторных работ, в них приведены описания каждой лабораторной работы, экспериментальных установок, дана методика проведения и обработки опытных данных, перечень рекомендуемой литературы.

Все лабораторные работы составлены с использованием элементов НИРС.

Методические указания предназначены для магистрантов специальности 6М070200 – Автоматизация и управление.

Ил.-11, табл.-3, библиогр.-10.

Рецензент: доц. каф. ЭПП Башкиров М.В.

Печатается по плану издания некоммерческого акционерного общества «Алматинский университет энергетики и связи» на 2014г.

## Введение

Одним из основных видов занятий магистрантов научно-педагогической и профильной формы обучения является выполнение лабораторных работ.

Лабораторные работы по дисциплине «Интегрирование цифровой техники в системы автоматизации управления» способствуют закреплению теоретических знаний основных разделов и приобретению практических навыков исследования и проектирования типовых логических узлов и основных блоков микропроцессорной системы: триггеров, счетчиков, дешифраторов и мультиплексоров, устройство ввода-вывода для IBM PC (УВВ), оперативное запоминающее устройство (ОЗУ), постоянное запоминающее устройство (ПЗУ), арифметико-логическое устройство (АЛУ) и т.д.

Лабораторные работы выполняются с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой. В отчете необходимо дать выводы по полученным результатам и сопоставить их с лекционным материалом и литературными данными.

## 1 Лабораторная работа № 1. Изучение структуры и алгоритмов работы асинхронных и синхронных триггеров

*Цель работы:* изучение структуры и алгоритмов работы асинхронных и синхронных триггеров; исследование функций переходов и возбуждения основных типов триггеров. Изучение взаимозаменяемости триггеров различных типов.

### *Методические рекомендации*

Триггер – простейшая цифровая схема последовательностного типа. У рассмотренных в предыдущих разделах комбинационных схем состояние выхода  $Y$  в любой момент времени определяется только текущим состоянием входа  $X$ :  $Y = F(X)$ .

В отличие от них, состояние выхода последовательностной схемы (цифрового автомата) зависит еще и от внутреннего состояния схемы  $Q$ :  $Y = F(X, Q)$ . Другими словами, цифровой автомат является не только преобразователем, но и хранителем предшествующей и источником текущей информации (состояния). Это обеспечивается наличием в схемах обратных связей. Основой последовательности схем являются триггеры. Триггер имеет два устойчивых состояния:  $Q=1$  и  $Q=0$ , поэтому его иногда называют стабильной схемой. В каком из этих состояний окажется триггер, зависит от сигналов на входах триггера и от его предыдущего состояния, т. е. он имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы. Наиболее распространенными являются триггеры RS, JK, D и T-типов.

Триггер типа RS. RS - триггер - простейший автомат с памятью, который может находиться в двух состояниях. Триггер имеет два установочных входа: установки  $S$  (set - установка) и сброса  $R$  (reset - сброс), на которые подаются входные сигналы от внешних источников. При подаче на вход установки активного логического уровня триггер устанавливается в 1 ( $Q=1$ ), при подаче активного уровня на вход сброса триггер устанавливается в 0 ( $Q=0$ ). Если подать на оба входа установки (возбуждения) пассивный уровень, то триггер будет сохранять предыдущее состояние выходов:  $Q=0$  ( $Q=1$ ) либо  $Q=1$  ( $Q=0$ ). Каждое состояние устойчиво и поддерживается за счет действия обратных связей.

Для триггеров этого типа является недопустимой одновременная подача активного уровня на оба входа установки, т. к. триггер по определению не может одновременно быть установлен в ноль и единицу. На практике подача активного уровня на установочные входы приводит к тому, что это состояние не может быть сохранено и невозможно определить, в каком состоянии будет

находиться триггер при последующей подаче на установочные входы сигналов пассивного уровня. На рисунке 1.1 показаны два вида RS-триггеров, выполненных на элементах ИЛИ-НЕ и И-НЕ. Для первой схемы на рисунке 1.1 активным уровнем является, уровень логической единицы, для второй схемы на рисунке 1.1 - уровень логического нуля. Вторая схема на рисунке 1.1 получила название RS-триггера с инверсными входами. RS-триггер является основным узлом для построения последовательностных схем. Название схем такого типа «последовательностные» означает, что состояние выхода зависит оттого, в какой последовательности на входы подаются входные наборы и, каково было предшествующее внутреннее состояние. Так, если в RS-триггере (рисунок 1.1) вначале установить комбинацию  $R=0, S=1$  (сокращенная запись-01), а потом перейти к  $R=0, S=0$  (00), то состояние выхода  $Q=1$ . Если же вначале установить комбинацию 10, а потом перейти к 00, то состояние выхода будет другим  $Q=0$ , несмотря на одинаковые комбинации сигналов на входах. Таким образом, при одном и том же входном наборе 00 выход триггера может находиться в разных состояниях. Условия переходов триггеров из одного состояния в другое (алгоритм работы) можно описать табличным, аналитическим или графическим способами. Табличное описание работы RS-триггера (рисунок 1.1) представлено в таблице 1.1 (таблица переходов) и таблице 1.2 (таблица функций возбуждения).

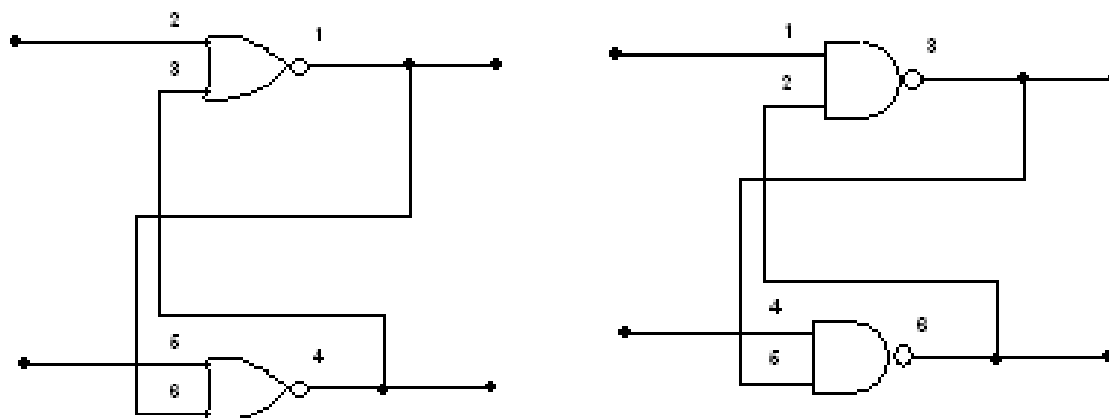


Рисунок 1.1 - RS – триггер на основе ИЛИ-НЕ и И-НЕ элементов

Т а б л и ц а 1.1 – Таблица истинности RS – триггер на основе ИЛИ-НЕ элементов

R	S	$Q_{t+1}$
0	0	$Q_t$
0	1	1
1	0	0
1	1	-

Т а б л и ц а 1.2 – Таблица истинности RS – триггер на основе И-НЕ элементов

R	S	Qt+1
0	0	-
0	1	0
1	0	1
1	1	Qt

В таблицах использованы следующие обозначения:

- 1)  $Q_t$  – предшествующее состояние выхода;
- 2)  $Q_{t+1}$  – новое состояние, устанавливающееся после перехода (возможно  $Q_{t+1}=Q_t$ );
- 3) — неопределенное состояние.

Аналитическое описание (характеристическое уравнение) можно получить из таблиц 1.1, 1.2 по правилам алгебры логики:  $Q_{t+1}=RS \vee RQ_t=R(S \vee Q_t)$ . Зависимость  $Q_{t+1}$  от  $Q_t$  характеризует свойство запоминания предшествующего состояния. Описание работы RS-триггера можно дополнить графом на рисунке 1.2 (графический способ).

График на рисунке 1.2 показывает, что схема, которая находилась в состоянии  $Q=0$ , сохраняет это состояние как при воздействии входного набора  $R=0, S=0$ , так и при воздействии  $R=1, S=0$ . Если же на вход схемы, находящейся в состоянии  $Q=0$ , подействовать набором  $R=0, S=1$ , то она переходит в состояние  $Q=1$  и сохраняет его при входных наборах  $R=0, S=1$ , либо  $R=0, S=0$ . На рисунке 1.2 тот же граф триггера нарисован более компактно. Входные сигналы, которые могут принимать любые значения (как 0, так и 1), обозначены как X, а позиция обозначения соответствует последовательности R, S.

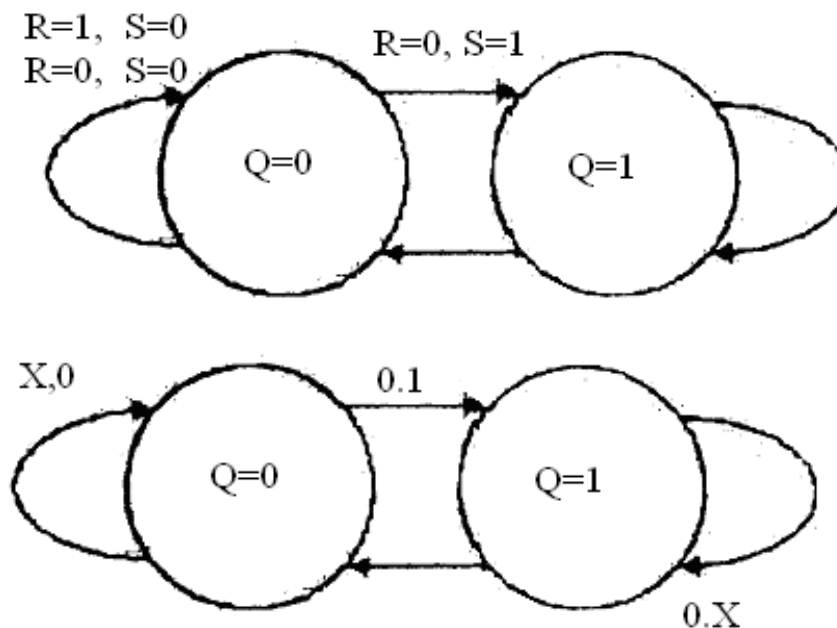


Рисунок 1.2 – Графический способ

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Генератор слов.
- 2) Вольтметр.
- 3) Логические пробники.
- 4) Источник напряжения +5В.
- 5) Источник сигнала «логическая единица».
- 6) Двухпозиционные переключатели.
- 7) Двухвходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ.
- 8) RS-триггеры.
- 9) JK-триггер.
10. D-триггер.

### 1.1 Задание к лабораторной работе

Соберите схему, изображенную на рисунке 1.3. Включите схему. Последовательно подайте на схему следующие сигналы: S=0, R=1; S=0, R=0; S=1, R=0; S=0, R=0.

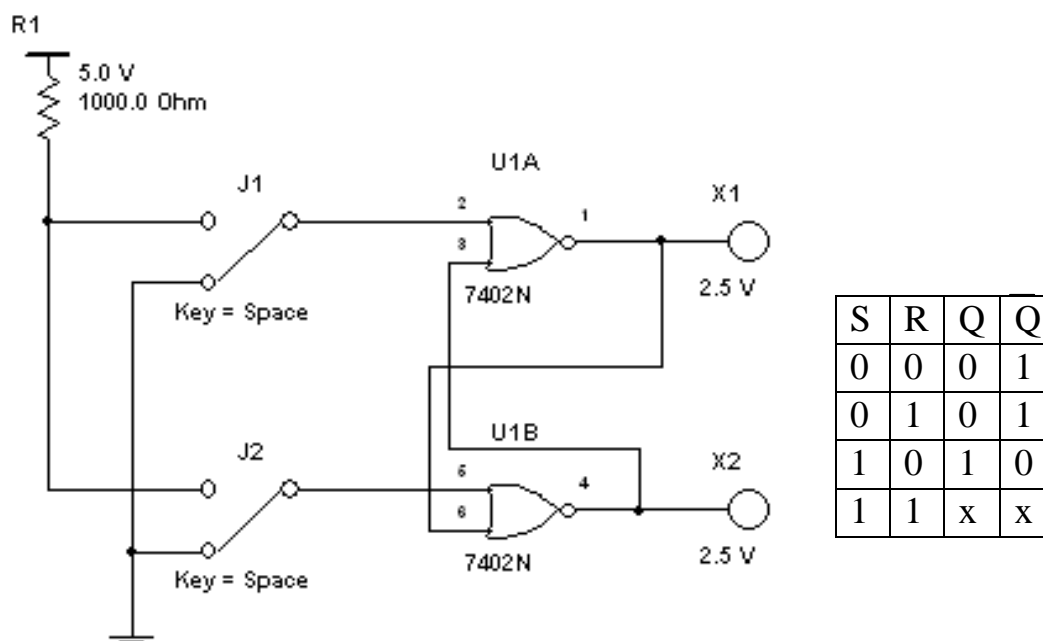


Рисунок 1.3 – RS – триггер на основе ИЛИ-НЕ элементов

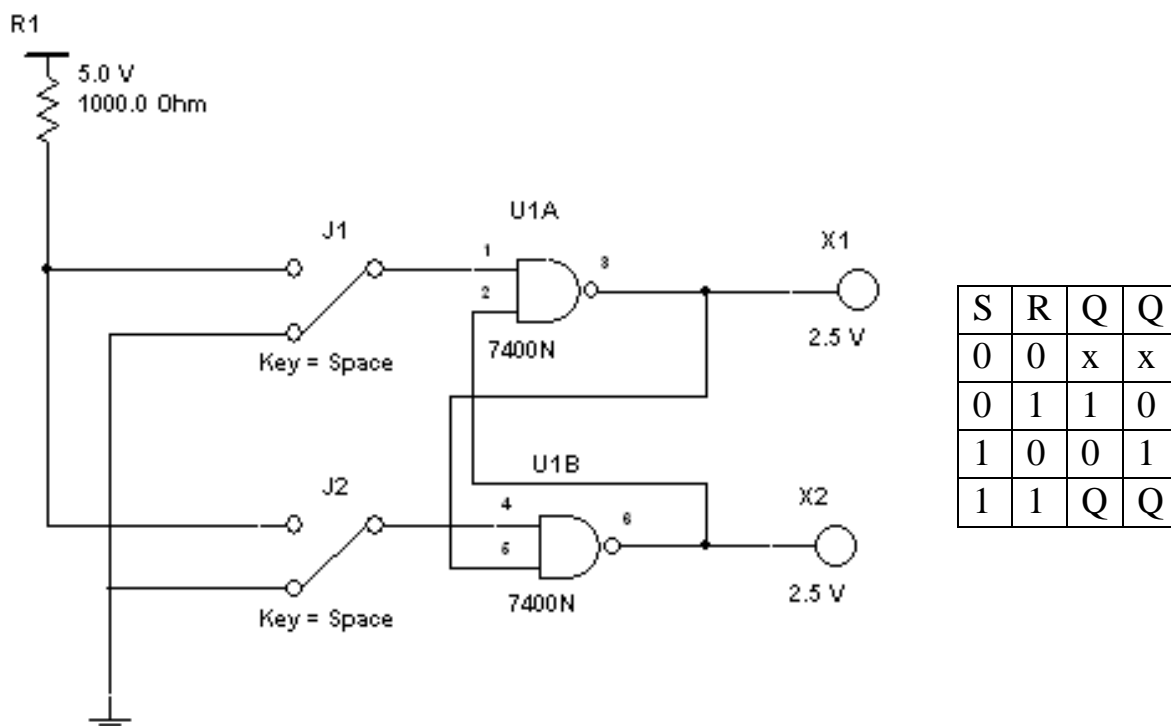


Рисунок 1.4– RS – триггер на основе И-НЕ элементов

Убедитесь в том, что:

- а) при  $S=0, R=1$  триггер устанавливается в состояние  $Q=0$ ;
- б) при переходе к  $S=0, R=0$  триггер сохраняет прежнее состояние выхода  $Q=0$ ;
- в) при  $S=1, R=0$  триггер устанавливается в состояние  $Q=1$ ;
- г) при переходе к  $S=0, R=0$  триггер сохраняет прежнее состояние выхода  $Q=1$ ;
- д) нарисуйте временные диаграммы к каждой таблице.

## 2.1 Задание к лабораторной работе

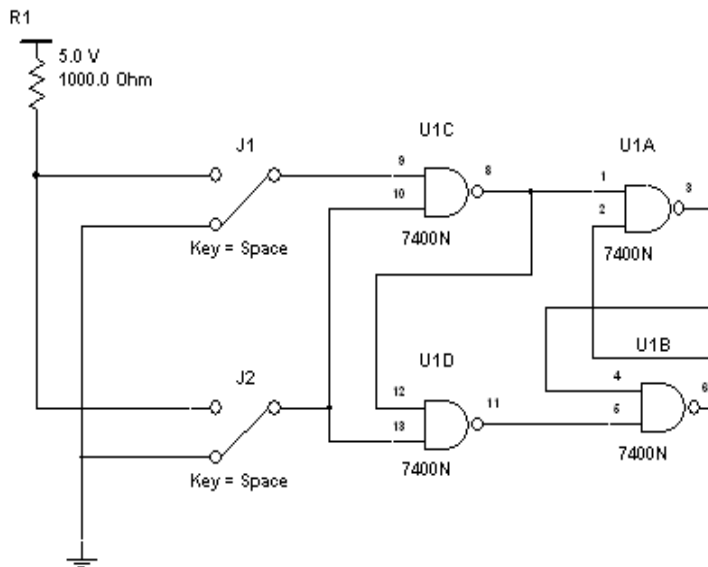
Исследование функций переходов и возбуждения основных типов триггеров, а также изучение взаимозаменяемости триггеров различных типов

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

На рисунке 2.2 изображен D – триггер.

Соберите схему, изображенную на рисунке 2.2. Включите схему. Последовательно подайте на схему следующие сигналы:  $D=0, T=1$ ;  $D=0, T=0$ ;  $D=1, T=0$ ;  $D=0, T=0$ .





Входы				Выходы	
Асинх.		Синхр.			
PS	CLR	CLK	D	Q	Q
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1

Рисунок 2.2 – D – триггер

Убедитесь в том, что:

- D вход является информационным;
- T вход является тактовым;
- нарисуйте временные диаграммы к каждой таблице.

Соберите другие типы триггеров. Включите схему. Последовательно подавая сигналы разберитесь в принципе работы различных триггеров.

Нарисуйте временные диаграммы рассмотренных триггеров.

Контрольные вопросы:

- Является ли элементом памяти выключатель настольной лампы?
- Если продолжить предыдущий вопрос, то как можно охарактеризовать: а) кнопочный выключатель (один раз нажал - лампа горит; второй раз нажал—лампа погасла); б) клавишный переключатель-коромысло: нажал на одно плечо—лампа зажглась или продолжает оставаться горячей; нажал на другое плечо—погасла.
- Аналогия с какими видами триггеров напрашивается?
- Чем отличается работа RS-триггера с прямыми входами от работы RS-триггера с инверсными входами?
- Почему комбинация сигналов 11 на входах RS-триггера называется «запрещенной»?
- В чём отличие таблицы переходов триггера от таблицы функций возбуждения?
- Как свойство запоминания отражается в характеристических уравнениях триггеров?
- В чём принципиальное отличие работы синхронных триггеров от асинхронных?

## 2 Лабораторная работа №2. Изучение структуры и исследование работы суммирующих и вычитающих счетчиков. Изучение способов изменения коэффициента пересчета счетчиков

*Цель работы:* изучение структуры и исследование работы суммирующих и вычитающих счетчиков; изучение способов изменения коэффициента пересчета счетчиков; исследование работы счетчиков с коэффициентом пересчета, отличным от  $2^n$ .

### *Методические рекомендации*

Счетчик - устройство для подсчета числа входных импульсов. Число, представляемое состоянием его выходов по фронту каждого входного импульса, изменяется на единицу. Счетчик можно реализовать на нескольких триггерах. В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Наиболее простые счетчики - двоичные. На рисунке 2.1 представлен суммирующий двоичный счетчик и диаграммы его работы.

Изменение направления счета. Как уже говорилось ранее, счетчики можно реализовать на триггерах. При этом триггеры соединяют последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того, чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того, чтобы изменить направление счета (реализовать вычитающий счетчик), можно предложить следующие способы:

- считывать выходные сигналы счетчика не с прямых, а с инверсных выходов триггеров. Число, образуемое состоянием инверсных выходов триггеров счетчика, связано с числом, образованным состоянием прямых выходов триггеров следующим соотношением:  $1 \rightarrow 1$ , где  $p$  - разрядность выхода счетчика. В таблице 2.1 приведен пример связи числа на прямых выходах с числом на инверсных выходах триггеров счетчика;

- изменить структуру связей в счетчике: подавать на счетный вход следующего триггера сигнал не с инверсного, а с прямого выхода предыдущего, как показано на рисунке 2.1. В этом случае изменяется последовательность переключения триггеров.

Изменение коэффициента пересчета. Счетчики характеризуются числом состояний в течение одного периода (цикла). Для схем на рисунке 2.1 цикл содержит  $2^3 = 8$  состояний (от 000 до 111). Часто число состояний называют коэффициентом пересчета  $K_{сч}$ , который равен отношению числа импульсов  $N_c$  на входе к числу импульсов  $N_{QCT}$  на выходе старшего разряда за период:

$$K_{сч} = \frac{N_c}{N_{Qcc}}.$$

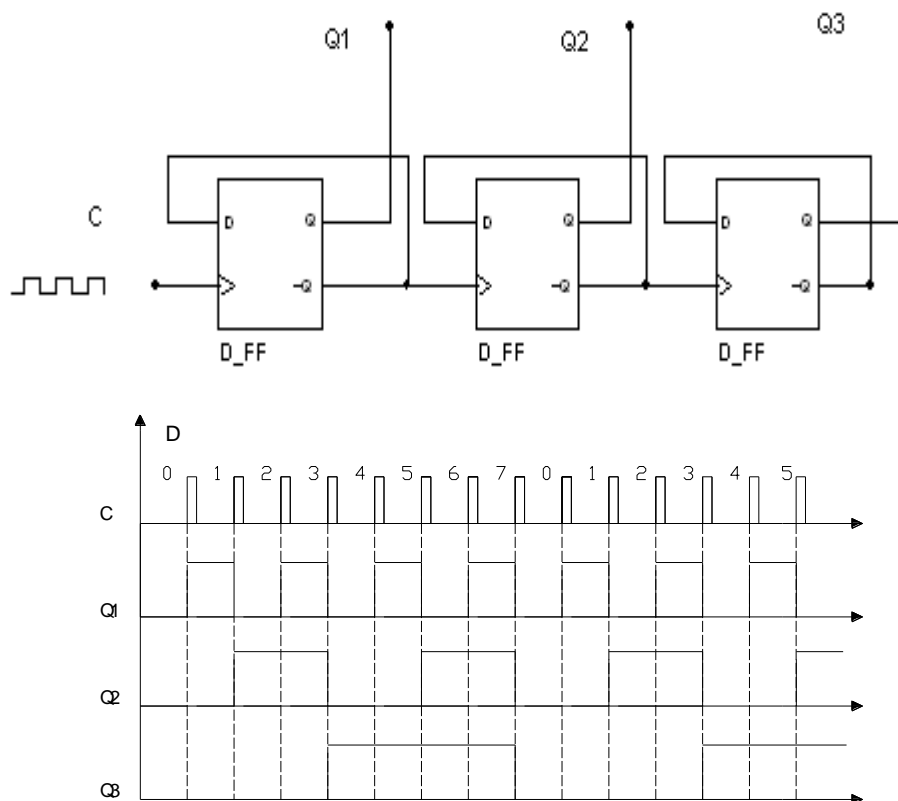


Рисунок 2.1 – Счетчик прямого счета на основе D - триггеров

Если на вход счетчика подавать периодическую последовательность импульсов с частотой  $c$ , то частота на выходе старшего разряда счетчика будет меньше в  $K_{сч}$  раз:  $K_{сч} = Fc/F_Q$ . Поэтому счетчики также называют делителями частоты, а величину  $K_{сч}$  - коэффициентом деления. Для увеличения величины  $K_{сч}$  приходится увеличивать число триггеров в цепочке. Каждый дополнительный триггер удваивает число состояний счетчика и число  $K_{сч}$ . Для уменьшения коэффициента  $K_{сч}$  можно в качестве выхода счетчика рассматривать выходы триггеров промежуточных каскадов. Например, для счетчика на трех триггерах  $K_{сч} = 8$ , если взять выход 2-го триггера, то  $K_{сч} = 4$ . При этом  $K_{сч}$  является целой степенью числа 2: 2, 4, 8, 16 и т.д. Можно реализовать счетчик, для которого  $K_{сч}$  - любое целое число. Например, для счетчика на трех триггерах можно сделать  $K_{сч}$  от 2 до 7, но при этом один или два триггера могут быть лишними. При использовании всех трех триггеров можно получить  $K_{сч} = 5 \dots 7$ :  $22 < K_{сч} < 23$ . Счетчик с  $K_{сч} = 5$  должен иметь 5 состояний, которые в простейшем случае образуют последовательность: {0, 1, 2, 3, 4}. Циклическое повторение этой

последовательности означает, что коэффициент деления счетчика равен 5. Для построения суммирующего счетчика с  $K_{сч} = 5$  надо, чтобы после формирования последнего числа из последовательности  $\{0, 1, 2, 3, 4\}$  счетчик переходил не к числу 5, а к числу 0. В двоичном коде это означает, что от числа 100 нужно перейти к числу 000, а не 101. Изменение естественного порядка счета возможно при введении дополнительных связей между триггерами счетчика. Можно воспользоваться следующим способом: как только счетчик попадает в нерабочее состояние (в данном случае 101), этот факт должен быть опознан и повлечь последующую выработку сигнала, который перевел бы счетчик в состояние 000. Рассмотрим этот способ более детально. Факт попадания счетчика в нерабочее состояние описывается логическим уравнением:

$$F = (101) \vee (110) \vee (111) = Q_1 \cdot \bar{Q}_2 \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \bar{Q}_1 \vee Q_1 \cdot Q_2 \cdot Q_1 = Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot Q_1$$

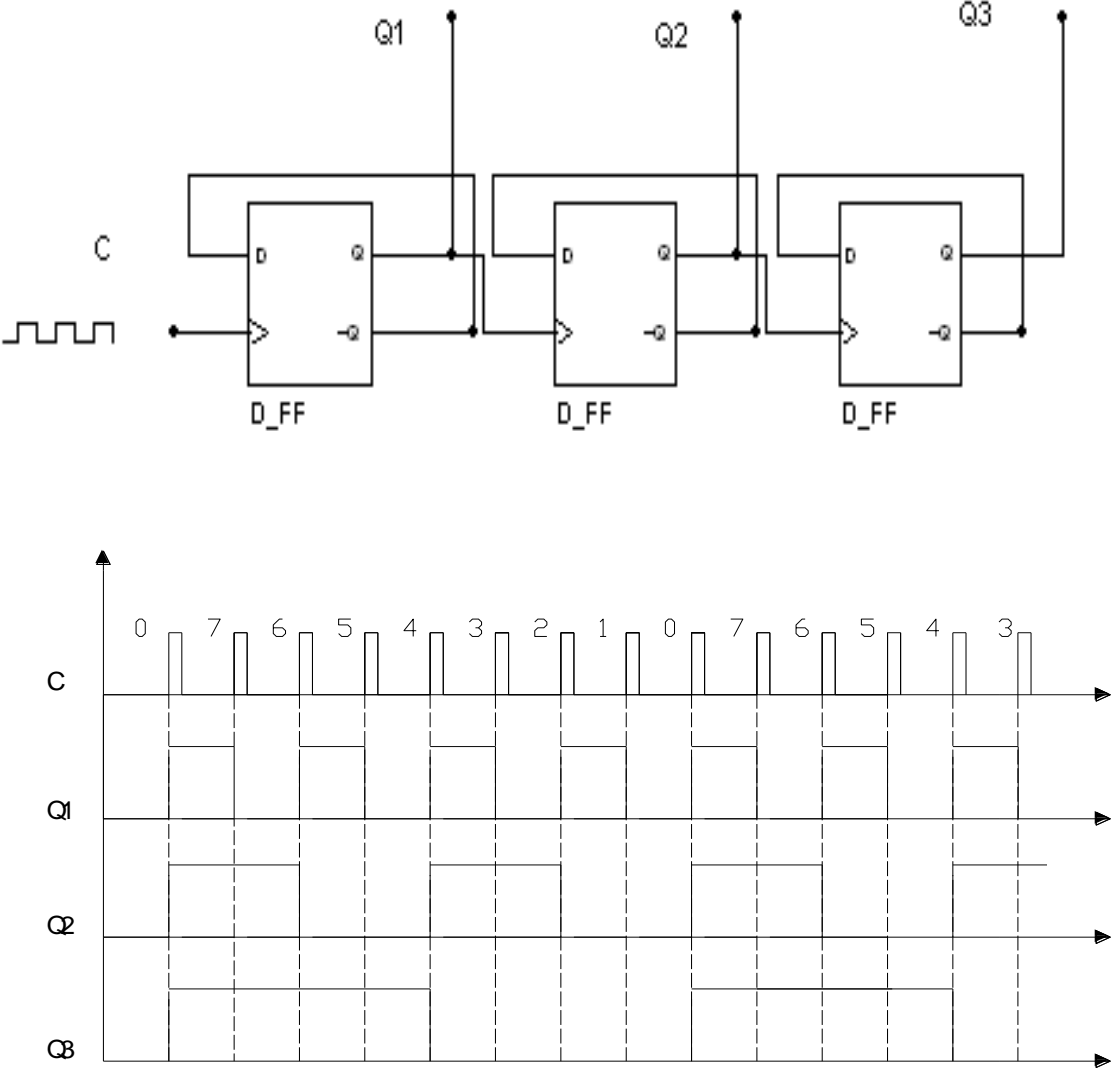


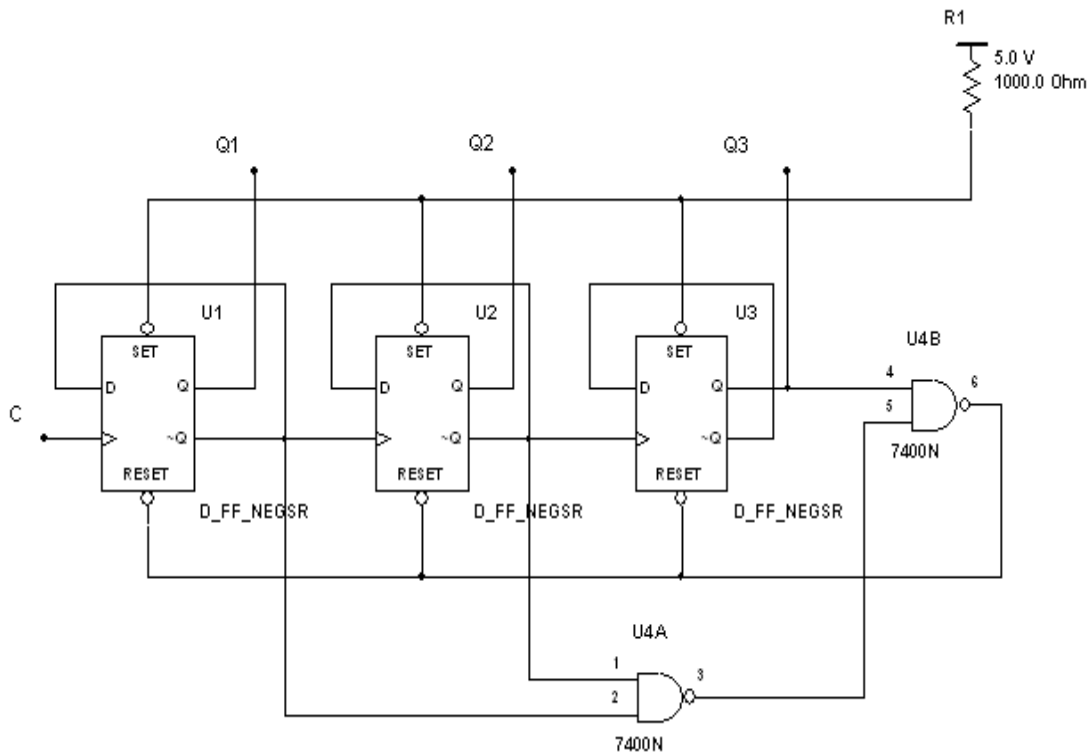
Рисунок 2.2 – Счетчик обратного счета на основе D - триггеров

Состояния 110 и 111 также являются нерабочими и поэтому учтены при составлении уравнения. Если на выходе эквивалентной логической схемы  $P = 0$ , значит счетчик находится в одном из рабочих состояний:  $0v1v2v3v4$ . Как только он попадает в одно из нерабочих состояний  $5v6v7$ , формируется сигнал  $P = 1$ . Появление сигнала  $F = 1$  должно переводить счетчик в начальное состояние  $000$ , следовательно, этот сигнал нужно использовать для воздействия на установочные входы триггеров счетчика, которые осуществляли бы сброс счетчика в состояние  $Q1 = Q2 = Q3 = 0$ . При реализации счетчика на триггерах со входами установки логическим нулем для сброса триггеров требуется подать на входы сброса сигнал 0. Для обнаружения факта попадания в нерабочее состояние используем схему, реализующую функцию  $P$  и выполненную на элементах И-НЕ. Для этого преобразуем выражение для функции:

$$F = \overline{Q_3} \cdot \overline{Q_1} \cdot \overline{Q_3} \cdot Q_2 = \overline{Q_3} \cdot (\overline{Q_1} \cdot Q_2).$$

Соответствующая схемная реализация приведена на рисунке 2.3.

Счетчик будет работать следующим образом: при счете от 0 до 4 все происходит как в обычном суммирующем счетчике с  $K_{сч}=8$ . Установочные сигналы равны 1 и естественному порядку счета не препятствуют. Счет происходит по положительному фронту импульса на счетном входе  $C$ . В тот момент, когда счетчик находится в состоянии 4 (100), следующий тактовый импульс сначала переводит счетчик в состояние 5 (101), что немедленно (задолго до прихода следующего тактового импульса) приводит к формированию сигнала сброса, который поступает на установочные входы сброса триггеров. В результате счетчик сбрасывается в 0 и ждет прихода следующего тактового импульса на счетный вход. Один цикл счета закончился, счетчик готов к началу следующего цикла. Применяя такие схемы с обратной связью для сброса счетчика, нужно иметь в виду, что операция сброса занимает конечное время, поэтому непосредственно перед сбросом счетчика в 0 на выходе первого триггера появляются кратковременные импульсы, или “иголки”. Это не имеет значения при подключении счетчика напрямую к индикатору, но при использовании этого выхода счетчика в качестве источника тактовых импульсов могут возникнуть определенные проблемы. Схема, в которой это явление устранено, приведена на рисунке 2.4. Важным отличием является то, что схема обнаруживает не факт попадания в нерабочее состояние 101, а факт попадания в состояние 100 и в следующем такте вырабатывает сигнал сброса.



Рисунке 2.3 – Счетчик прямого счета с  $K_{сч} = 5$

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Генератор слов.
- 2) Логический анализатор.
- 3) Логический пробники.
- 4) Источник напряжения +5В.
- 5) Генератор тактовых импульсов.
- 6) Источник сигнала «логическая единица».
- 7) Двухпозиционные переключатели.
- 8) Базовые двухвходовые логические элементы.
- 9) Базовые триггеры RS, JK и D- типов.

## 2.1 Задание к лабораторной работе

Исследование суммирующего счетчика. Соберите схему, изображенную на рисунке 2.1. Включите схему. Подавая на вход схемы тактовые импульсы при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы суммирующего счетчика. Определите коэффициент пересчета счетчика. Результаты занесите в раздел «Результаты экспериментов».

Обратите внимание на числа, формируемые состояниями инверсных выходов счетчика.

Исследование вычитающего счётчика. Соберите схему, изображенную на рисунке 2.2. Включите схему. Зарисуйте временные диаграммы работы вычитающего счетчика в раздел «Результаты экспериментов». В схеме на рисунке 2.2 входы логического анализатора подключите к инверсным входам триггеров. Включите схему. Зарисуйте полученные временные диаграммы в раздел «Результаты экспериментов».

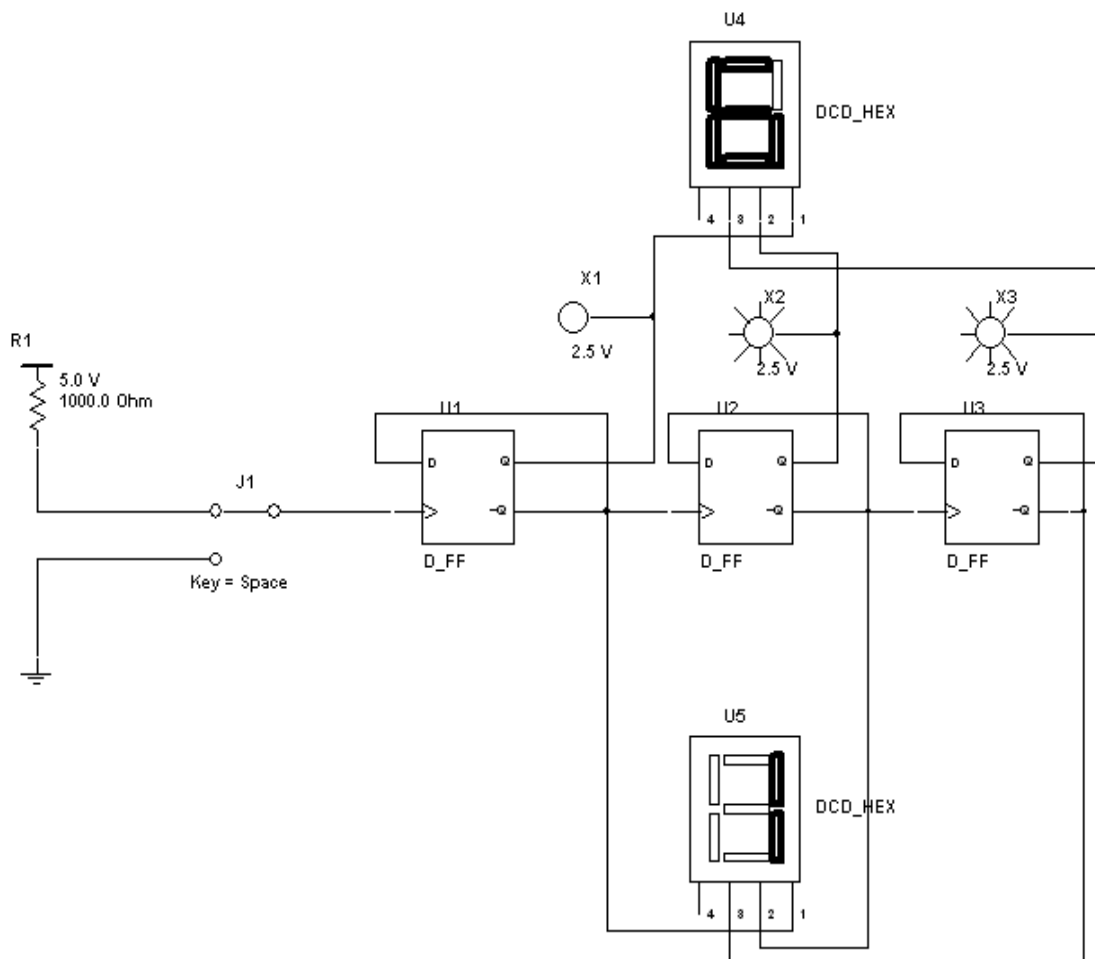


Рисунок 2.4 – Счетчик с измененным коэффициентом пересчета

Контрольные вопросы:

- 1) Почему при подключении счетных входов триггеров к инверсным выходам предыдущих каскадов счетчик на D-триггерах работает как суммирующий, а при подключении к прямым - как вычитающий?
- 2) В каком режиме будет работать счетчик на JK- триггерах при подключении счетных входов триггеров к прямым выходам предыдущих каскадов?
- 3) Как изменится режим работы счетчика при подключении счетных входов триггеров к инверсным выходам?
- 4) Какой коэффициент пересчета имеет регистр Джонсона?

5) Какими способами можно изменить коэффициент пересчета счетчика?

6) Сколько триггеров должен содержать счетчик с коэффициентом пересчета  $K_{сч}=(3,5,7)$ ?

7) Сколько триггеров должен содержать счетчик с коэффициентом пересчета  $K_{сч}=(9,10,12,14,15)$ ?

8) Сколько триггеров должен содержать счетчик с коэффициентом пересчета  $K_{сч}=24$ ?

### 3 Лабораторная работа №3. Исследование работы счетчиков с коэффициентом пересчета, отличным от « $2^n$ »

*Цель работы:* ознакомление с принципом работы счетчиков с измененным коэффициентом пересчета; исследование влияния управляющих сигналов на работу счетчиков; реализация и исследование функциональных модулей на основе счетчиков.

#### Методические рекомендации

На рисунке изображен счетчик с измененным коэффициентом пересчета.

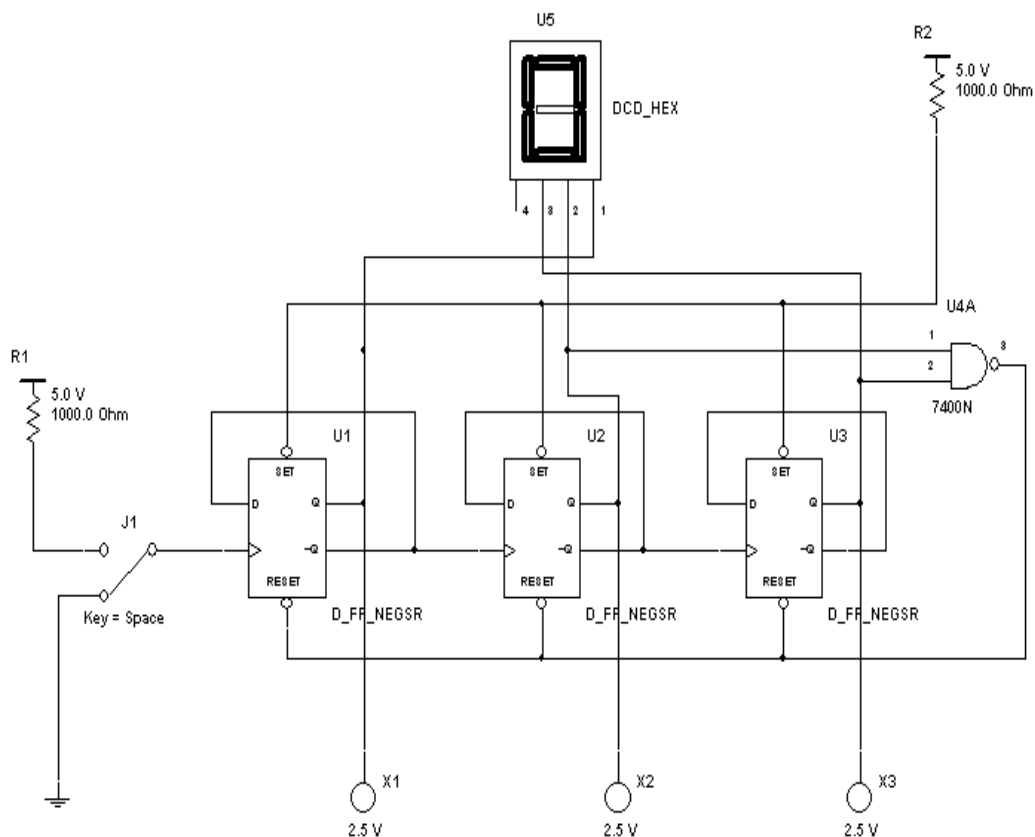


Рисунок 3.1 – Счетчик с измененным коэффициентом пересчета



Заполните временные диаграммы каждого исследованного счетчика.

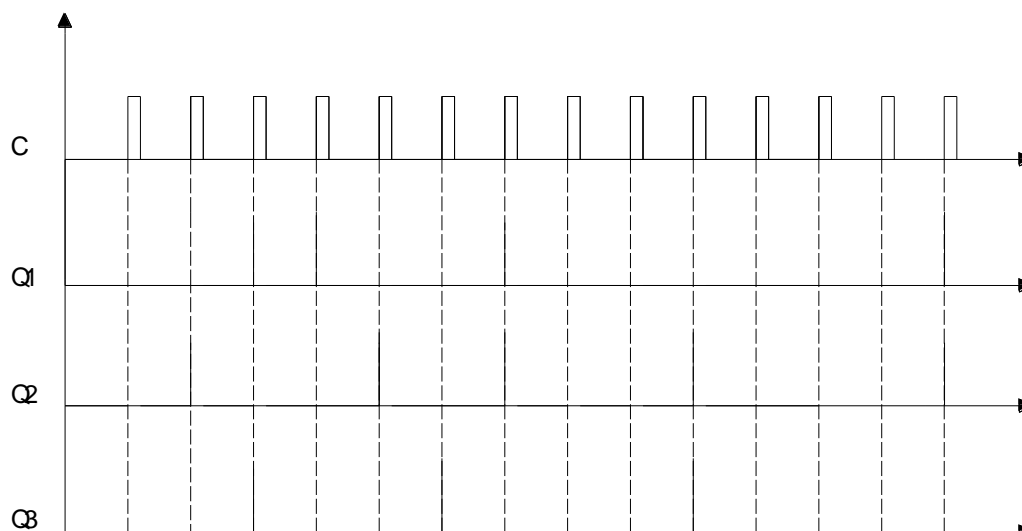


Рисунок 3.2 – Временные диаграммы счетчика

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Генератор слов.
- 2) Логический анализатор.
- 3) Логический пробники.
- 4) Источник напряжения+5В.
- 5) Генератор тактовых импульсов.
- 6) Источник сигнала «логическая единица».
- 7) Двухпозиционные переключатели.
- 8) Базовые двухвходовые логические элементы.
- 9) Базовые триггеры RS, JK и D- типов.

### 3.1 Задание к лабораторной работе

Исследование счетчика с измененным коэффициентом пересчета. Соберите схему, изображенную на рисунке 3.1. Включите схему. Подавая на вход схемы тактовые импульсы при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы счетчика и определите коэффициент пересчета. Результаты занесите в раздел «Результаты экспериментов». Измените структуру комбинационной части счетчика. Подавая на вход схемы тактовые импульсы

при помощи ключа С и наблюдая состояние выходов счетчика при помощи логических пробников, составьте временные диаграммы работы счетчика на 5. Результаты занесите в раздел «Результаты экспериментов».

Контрольные вопросы:

1) Сколько триггеров должен содержать счетчик с коэффициентом пересчета  $K_{сч}=30$ ?

2) В двоичном счетчике коэффициент пересчета равен 8, число триггеров - 3. При поступлении тактовых импульсов на счетный вход счетчик изменяет своё состояние в следующей последовательности: 000-001-01 0-01 1-100-101-110-111-000. Сколько триггеров в счетчике изменяют свое состояние одновременно на каждом из переходов?

3) Действительно ли триггеры изменяют своё состояние одновременно?

4) Как происходит переход счетчика из состояния 111 в состояние 000?

5) Какой из триггеров первым изменит своё состояние? Что послужит причиной переключения второго триггера?

6) Как развивается процесс изменения состояния триггеров при переходе счетчика из состояния 011 в состояние 100?

7) Цифровые часы в метро реализованы на основе счетчиков. Иногда можно заметить, что четное число секунд на табло часов сохраняется заметно дольше, чем нечетное (возможна и обратная закономерность). Почему это происходит?

8) Какую разрядность должен иметь счетчик, отсчитывающий секунды и десятки секунд при наличии генератора импульсов частотой 10 кГц?

#### **4 Лабораторная работа №4. Ознакомление с принципом работы дешифраторов. Исследование влияния управляющих сигналов на работу дешифраторов. Реализация и исследование функциональных модулей на основе дешифраторов**

*Цель работы:* ознакомление с принципом работы дешифраторов; исследование влияния управляющих сигналов на работу дешифраторов; реализация и исследование функциональных модулей на основе дешифраторов.

##### *Методические рекомендации*

Комбинационные схемы. Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов. Для реализации комбинационных схем используются логические элементы, выпускаемые в виде интегральных схем. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплексоров, демультиплексоров, сумматоров.

В этой работе для удобства вместо схемы дешифратора используется схема демультиплексора. Это возможно благодаря сходству алгоритмов работы.

Дешифраторы. Дешифратор - логическая комбинационная схема, которая имеет  $n$  информационных входов и  $2^n$  выходов. Каждой комбинации логических уровней на входах будет соответствовать активный уровень на одном из  $2^n$  выходов. Обычно  $n$  равно 2,3 или 4. На рисунке 4.1 изображен дешифратор с  $n = 3$ , активным уровнем является уровень логического нуля. На входы  $C, B, A$  можно подать следующие комбинации логических уровней: 000, 001, 010, ... 111, всего 8 комбинаций. Схема имеет 8 выходов, на одном из которых формируется низкий потенциал, на остальных - высокий. Номер этого единственного выхода, на котором формируется активный (нулевой) уровень, соответствует числу, определяемому состоянием входов  $C, B, A$  следующим образом:  $N = C2^2 + B2^1 + A2^0$ . Например, если на входы подана комбинация логических уровней 011, то из восьми выходов микросхемы ( $Y_0, Y_1, \dots, Y_7$ ) на выходе с номером  $N=3$  установится нулевой уровень сигнала ( $Y_3=0$ ), а все остальные выходы будут иметь уровень логической единицы. Этот принцип формирования выходного сигнала можно описать следующим образом:

$$Y_i = \begin{cases} 0, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2 \cdot B + 2^0 \cdot A \end{cases}$$

Видно, что уровень сигнала на выходе  $Y_3$  описывается выражением:

$$Y_3 = \overline{C \cdot B \cdot A} .$$

В таком же виде можно записать выражения для каждого выхода дешифратора:

$$\begin{array}{ll} Y_0 = \overline{\overline{C} \cdot \overline{B} \cdot \overline{A}} & Y_3 = \overline{C \cdot B \cdot A} \\ Y_1 = \overline{\overline{C} \cdot \overline{B} \cdot A} & Y_4 = \overline{C \cdot \overline{B} \cdot A} \\ Y_2 = \overline{\overline{C} \cdot B \cdot \overline{A}} & Y_5 = \overline{C \cdot B \cdot \overline{A}} \\ Y_6 = \overline{\overline{C} \cdot B \cdot A} & Y_7 = \overline{C \cdot \overline{B} \cdot A} \end{array}$$

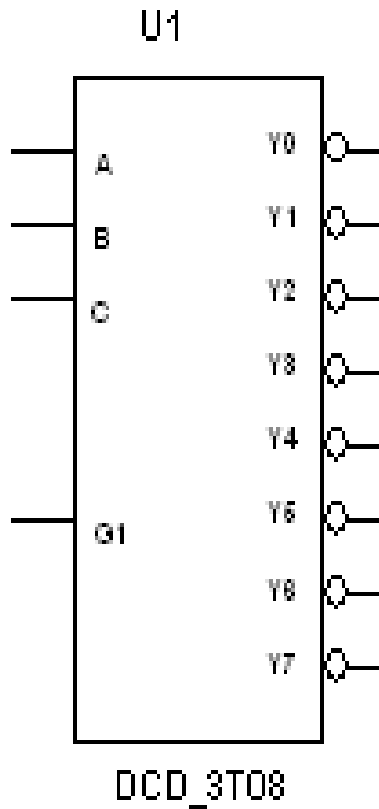


Рисунок 4.1 – Дешифратор DCD\_3TO8

Помимо информационных входов А, В, С дешифраторы обычно имеют дополнительные входы управления G. Сигналы на этих входах, например, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится уровень логической единицы. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов. Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом – уровень логического нуля. На рисунке 4.1 представлен дешифратор с одним инверсным входом управления. Принцип формирования выходного сигнала в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$Y_i = \begin{cases} \overline{1 \cdot G}, & \text{если } i = k \\ 1, & \text{если } i \neq k \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A. \end{cases}$$

У дешифратора с несколькими входами управления функция разрешения, как правило, представляет собой логическое произведение всех разрешающих сигналов управления. Например, для дешифратора 74138 с одним прямым входом управления G1 и двумя инверсными G2A и G2B (рисунок 4.2) функции выхода Yi и разрешения G имеют вид:

$$Y_i = \begin{cases} \overline{1 \cdot \overline{G}}, & \text{если } i = k \\ 1, & \text{если } i \neq k \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A. \end{cases} \quad G = G1 \cdot \overline{G2A} \cdot \overline{G2B}$$

Обычно входы управления используются для каскадирования (увеличения разрядности) дешифраторов или при параллельной работе нескольких схем на общие выходные линии.

Использование дешифратора в качестве демультимплексора. Дешифратор может быть использован и как демультимплексор - логический коммутатор, подключающий входной сигнал к одному из выходов. В этом случае функцию информационного входа выполняет один из входов разрешения, а состояние входов C, B и A задает номер выхода, на который передается сигнал со входа разрешения.

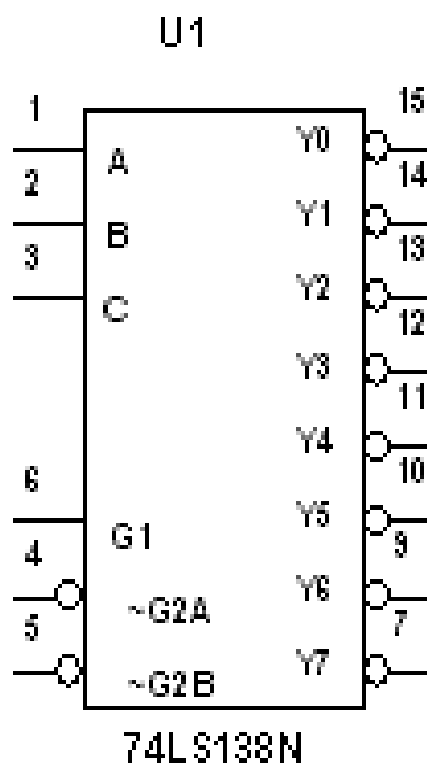


Рисунок 4.2 – Дешифратор 3X8

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Логический преобразователь.
- 2) Генератор слов.
- 3) Вольтметр.
- 4) Логические пробники.
- 5) Источник напряжения +5 В.
- 6) Генератор слов.
- 7) Генератор тактовых импульсов.
- 8) Двухпозиционные переключатели.
- 9) Демультимплексор.
- 10) Источник сигнала «логическая единица».
- 11) Логические пробники.
- 12) Микросхема 74138 —дешифратор 3х8.

#### **4.1 Задание к лабораторной работе**

- Исследование принципа работы дешифратора 3х8 в основном режиме. Соберите схему, изображенную на рисунке 4.3. Включите схему. Подайте на вход С уровень логической единицы. Для этого клавишей С ключ С установить в верхнее положение. Определите и запишите уровни сигналов на выходах Y<sub>0</sub>...Y<sub>7</sub> в таблицу истинности при С 1 (таблица 4.1 в разделе «Результаты экспериментов»). Подайте на вход G уровень логического нуля (ключ G установите в нижнее положение). Убедитесь, что дешифратор перешел в рабочий режим и на одном из выходов установился уровень логического нуля. Подавая все возможные комбинации уровней логических сигналов на входы А, В, С с помощью одноименных ключей и определяя с помощью логических пробников уровни логических сигналов на выходе схемы, заполните таблицу истинности дешифратора при 00;

- исследование принципа работы дешифратора 3х8 в режиме 2х4;

- исследование дешифратора 3х8 с логической схемой на выходе. Соберите схему, изображенную на рисунке 4.4. Включите схему. Установите генератор слов в пошаговый режим. Последовательно подавая слова от генератора на вход схемы и наблюдая уровень логического сигнала на выходе схемы с помощью логического пробника, составьте таблицу истинности функции Р, реализуемой схемой на выходе. По таблице запишите аналитическое выражение функции и занесите полученное выражение в раздел «Результаты экспериментов».

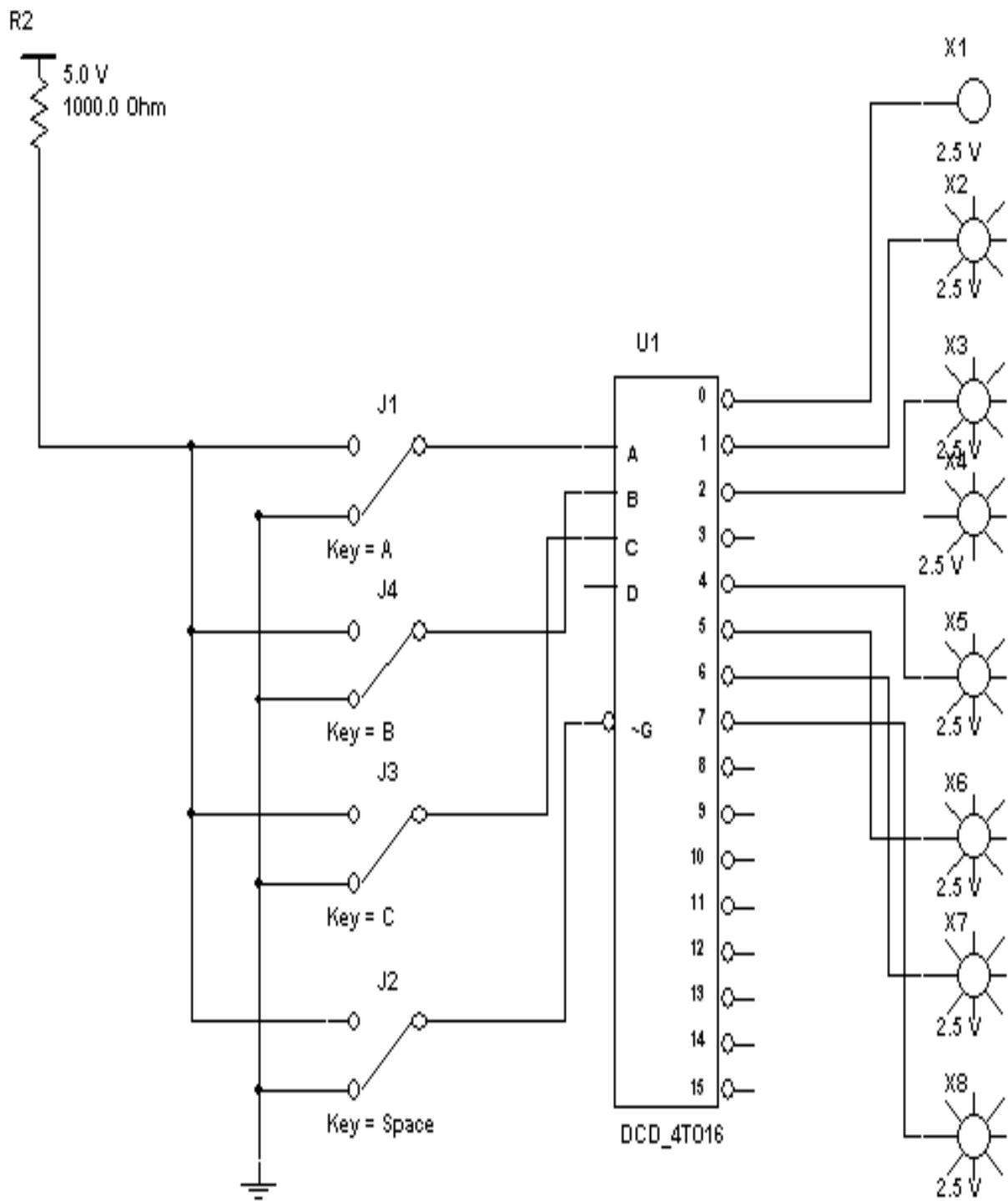


Рисунок 4.3 – Дешифратор 4X16, подключенный по схеме 3X8

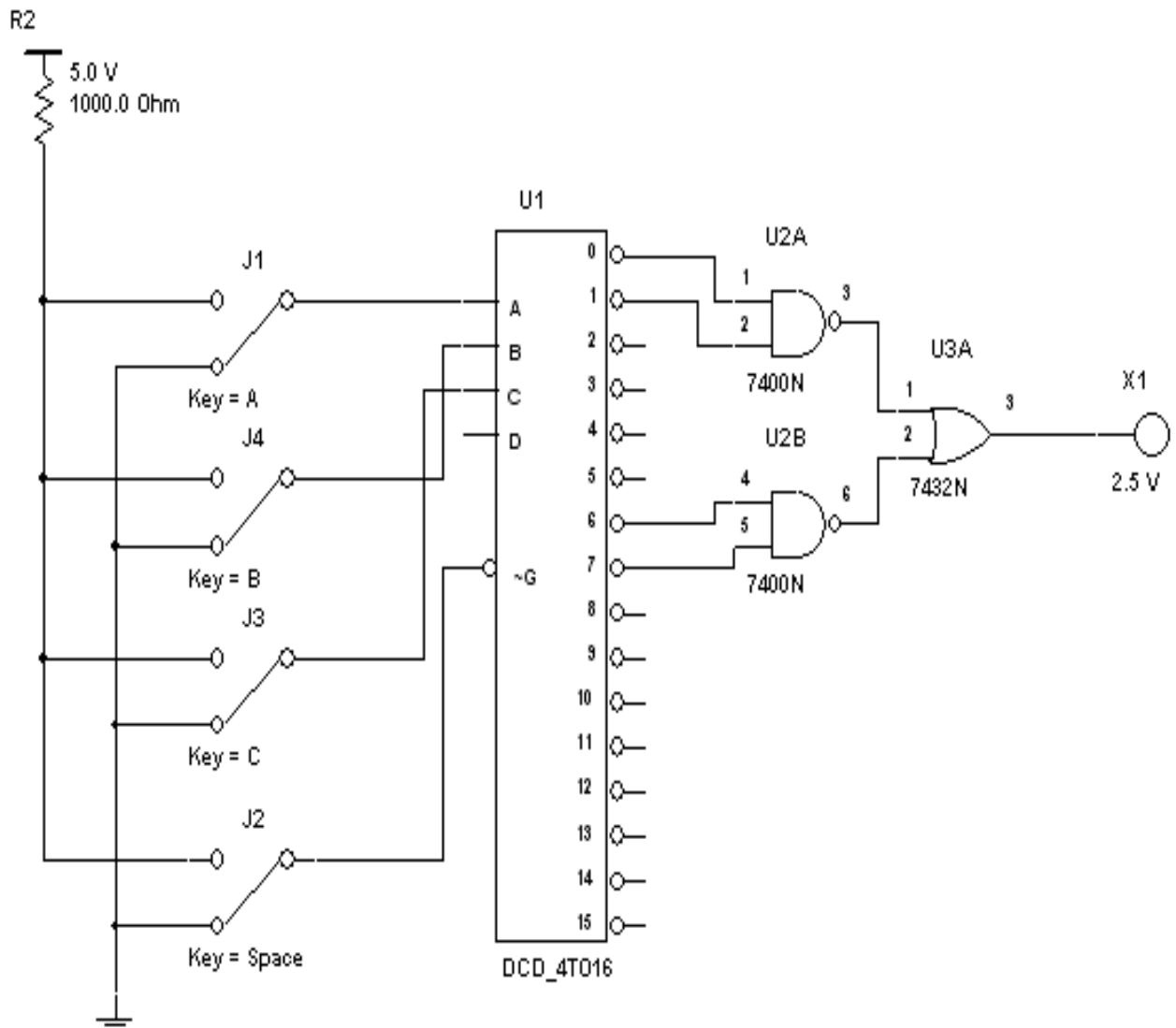


Рисунок 4.4 – Дешифратор с логической схемой на выходе

Контрольные вопросы:

- 1) Какие логические функции выполняет дешифратор?
- 2) Каково назначение входов управления в дешифраторе, как влияет сигнал управления на выходные функции дешифратора?
- 3) Какие дополнительные логические элементы необходимы для реализации логических функции  $n$  аргументов на основе дешифратора с прямыми выходами? А с инверсными?
- 4) Как выглядит схема дешифратора  $2 \times 4$ , выполненная в базисе И, ИЛИ, НЕ? Входы дешифратора А, В, выходы У0, У1, У2, У3. Сколько элементов каждого типа для этого требуется?
- 5) Как надо видоизменить схему дешифратора  $2 \times 4$  в предыдущем случае, чтобы оснастить её прямым управляющим входом? Инверсным?



Обозначьте входы дешифратора А, В, управляющий вход б или, выходы У0, У1, У2, У3.

6) Как из двух дешифраторов 2х4 сделать один дешифратор 3х8?

7) Как на основе нескольких дешифраторов 2х4 с управляющим входом сделать дешифратор 4х16? Сколько дешифраторов 2х4 потребуется для решения этой задачи, если не использовать другие элементы?

8) Как на основе дешифратора 2х4 сделать схему, фиксирующую совпадение двух бит ( $A=B=1$ ,  $A=B=0$ ) и реализующую функцию  $F = A\bar{B} \vee \bar{A}B$ ?

9) Как на основе дешифратора сделать логическую схему, реализующую функцию  $F = A\bar{B} \vee \bar{A}B$ ?

## 5 Лабораторная работа №5. Ознакомление с принципом работы мультиплексора. Реализация и исследование функциональных модулей на основе мультиплексоров

*Цель работы:* ознакомление с принципом работы мультиплексора; реализация и исследование функциональных модулей на основе мультиплексоров.

### *Методические рекомендации*

Мультиплексоры. Мультиплексор - комбинационная логическая схема, представляющая собой управляемый переключатель, который подключает к выходу один из информационных входов данных. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на входах управления. Кроме информационных и управляющих входов, схемы мультиплексоров содержат вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. При подаче на вход разрешения пассивного уровня мультиплексор перейдет в пассивное состояние, для которого сигнал на выходе сохраняет постоянное значение независимо от значений информационных и управляющих сигналов. Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рисунке 5.1, представлен мультиплексор 8х1 с инверсным входом разрешения G, прямым Y и инверсными W-выходами ( $W=Y$ ).

Уравнение мультиплексора. Функционирование мультиплексора, представленного на рисунке 5.1 описывается характеристическим уравнением, связывающим сигнал на выходе (Y) с разрешающим (G), входными информационными ( $D_0..D_7$ ) и управляющими (A, B, C) сигналами:

$$Y = \left( \bar{C} \cdot \bar{B} \cdot \bar{A} \cdot D_0 \vee \bar{C} \cdot \bar{B} \cdot A \cdot D_1 \vee \bar{C} \cdot B \cdot \bar{A} \cdot D_2 \vee \bar{C} \cdot B \cdot A \cdot D_3 \vee \right. \\ \left. \vee C \cdot \bar{B} \cdot \bar{A} \cdot D_4 \vee C \cdot \bar{B} \cdot A \cdot D_5 \vee C \cdot B \cdot \bar{A} \cdot D_6 \vee C \cdot B \cdot A \cdot D_7 \right) \cdot \bar{G},$$

Как видно из уравнения, на мультиплексоре можно реализовать логические функции, для чего нужно определить, какие сигналы и логические константы следует подавать на входы мультиплексора.

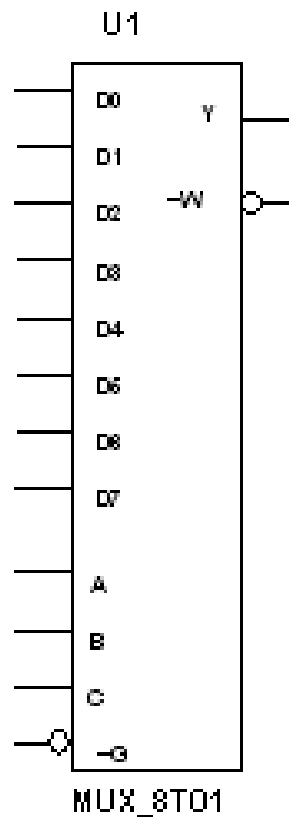


Рисунок 5.1 – Мультиплексор MUX\_8TO1

Реализация заданной функции с помощью мультиплексора. Логическая функция  $n$  переменных определена для  $2^n$  комбинаций значений переменных. Это позволяет реализовать функцию  $n$ -переменных на мультиплексоре, имеющем  $n$ -управляющих и  $2^n$  информационных входов. В этом случае каждой комбинации значений аргументов соответствует единственный информационный вход мультиплексора, на который подается значение функции. Например, требуется реализовать функцию:

$$F1 = \bar{c} \cdot \bar{b} \cdot \bar{a} \vee c \cdot b \cdot a \vee c \cdot b \cdot \bar{a} \vee \bar{c} \cdot b \cdot a .$$

Эта функция определена только для 8 комбинаций значений переменных, поэтому для её реализации можно использовать мультиплексор 8x1 с тремя управляющими входами. Составим таблицу истинности функции.

Т а б л и ц а 5.1 – Таблица истинности функции F1

N	c	b	a	F1
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Из таблицы видно, что для реализации функции на мультиплексоре необходимо подать на информационный вход мультиплексора с номером N сигнал, значение которого равно соответствующему значению функции F1, т. е. на входы с номерами 1, 2, 4, 5 следует подать уровень логического нуля, а на остальные - уровень логической единицы. Таким образом, при подаче комбинации логических уровней на управляющие входы мультиплексора, к его выходу подключится вход, значение сигнала на котором равно соответствующему значению функции. Схемная реализация приведена на рисунке 5.2. При реализации логических функций на информационные входы можно подавать не только константу, но и изменяющиеся входные сигналы. Так, например, рассмотрим другой способ реализации функции P1, рассмотренной выше. Для этого минимизируем выражение функции:

$$F1 = \bar{c} \cdot \bar{b} \cdot \bar{a} \vee b \cdot a \vee c \cdot b.$$

Составим таблицу истинности функции в зависимости от значений переменных a и b: Заданную такой таблицей функцию реализуют, как и в предыдущем случае, подав на вход с номером N сигнал, значение которого соответствует значению функции F1.

Т а б л и ц а 5.2 – Таблица истинности функции F1

N	b	a	F1
0	0	0	c
1	0	1	0
2	1	0	c
3	1	1	1

В данном случае сигналы c и  $\bar{c}$ , соответствующие переменной  $\bar{c}$ , подаются на информационные входы, как указано в таблице истинности. При этом сокращается число управляющих входов. Схемная реализация такого способа задания функции представлена на рисунке 5.2.

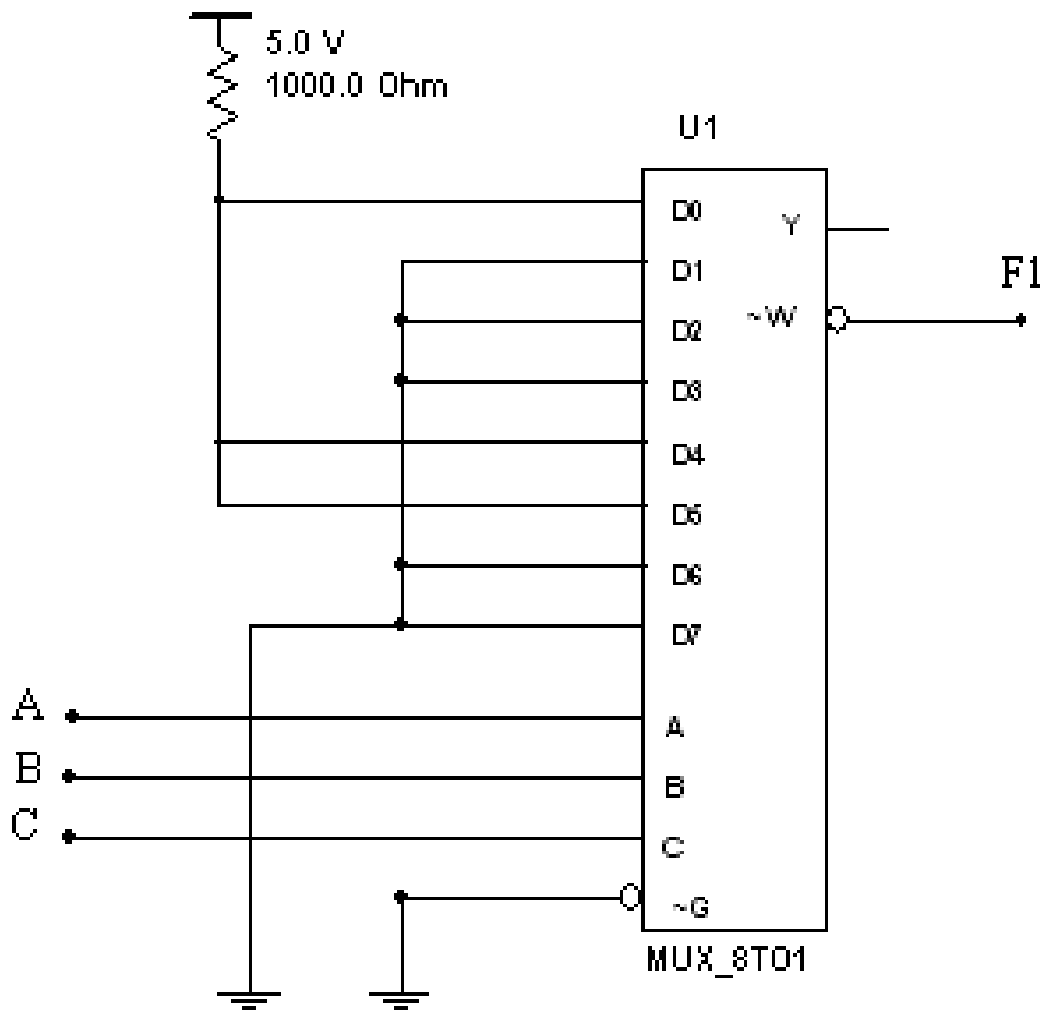


Рисунок 5.2 – Мультиплексор 8X1

Так как используются только два адресных входа, управляющий вход С можно заземлить. При этом состояние информационных входов D4.. D7 безразлично. Уровень сигнала на выходе схемы определяется комбинацией уровней сигналов в точках А, В, С, соответствующих переменным а, b, с. Схема на рисунке 5.2 по существу представляет собой мультиплексор 4x1 с двумя управляющими и четырьмя информационными входами.

Если функцию можно представить в виде произведения одночлена на многочлен, то её также можно реализовать при помощи мультиплексора. Как следует из уравнения мультиплексора, сигнал, соответствующий одночлену, нужно подать на вход разрешения. Например, требуется реализовать функцию F2, описываемую следующим выражением:

$$F2 = \bar{x} (d \cdot c \cdot \bar{b} \bar{a} \vee d \bar{b} a \vee \bar{e} c ba \vee cba).$$

Т а б л и ц а 5.1 – Таблица истинности функции F1

N	c	b	a	f
0	0	0	0	0
1	0	0	1	d
2	0	1	0	0
3	0	1	1	e
4	1	0	0	0
5	1	0	1	d
6	1	1	0	0
7	1	1	1	1

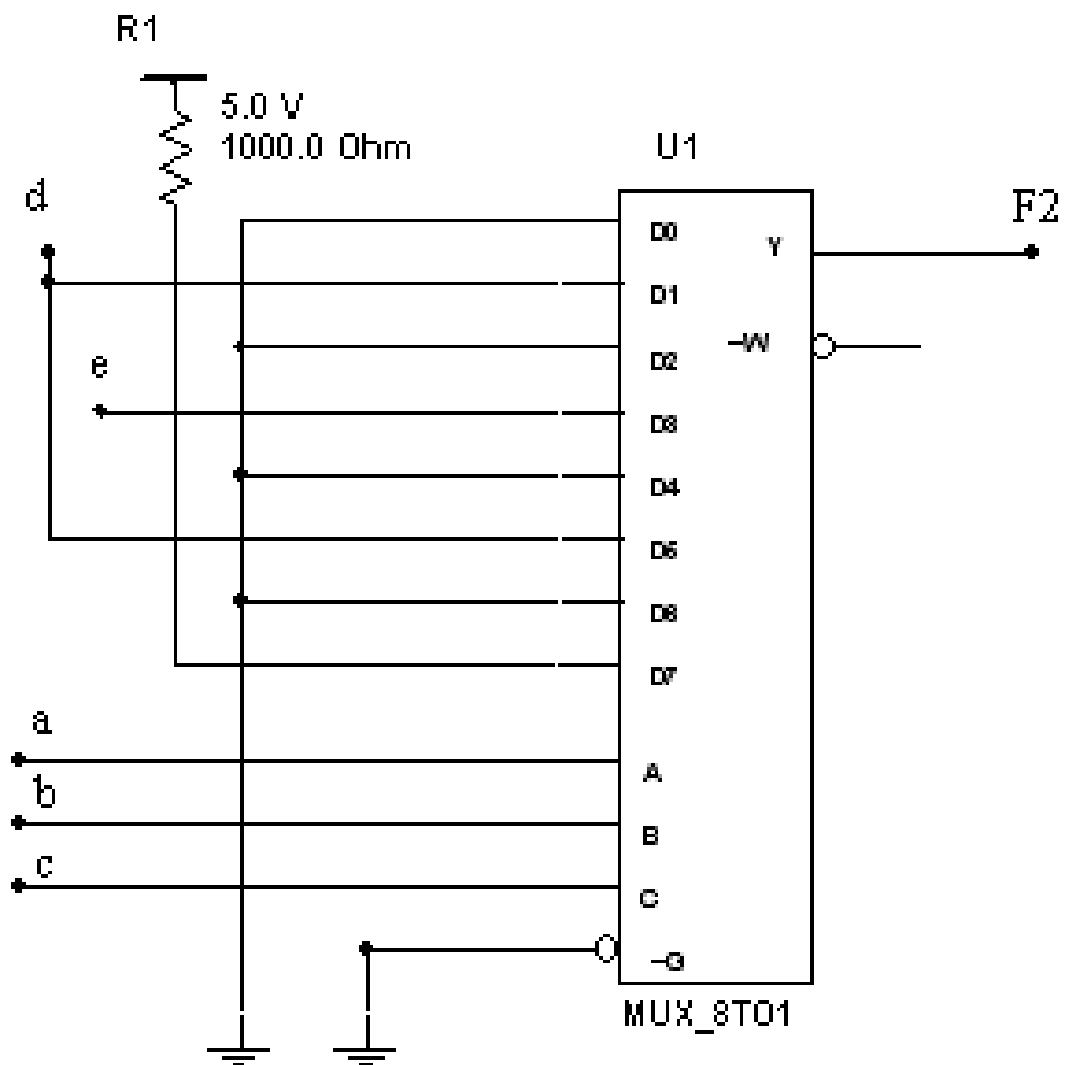


Рисунок 5.3 – Мультиплексор MUX\_8TO1

При реализации данной функции на мультиплексоре сигнал, соответствующий переменной x, следует подать на его разрешающий вход.

Рассмотрим, какие сигналы необходимо подать на управляющие входы мультиплексора. Выражение в скобках можно рассматривать как некоторую функцию  $f$  пяти переменных:  $a, b, c, d, e$ , из которых наиболее часто используются переменные  $a, b$  и  $c$ . Поэтому сигналы, соответствующие этим переменным, нужно подать на управляющие входы мультиплексора. Определим, какие сигналы следует подать на информационные входы, чтобы реализовать функцию  $f$ . Для этого составим таблицу истинности функции в зависимости от значений переменных  $a, b$  и  $c$ . Из таблицы видно, что на информационные входы с номерами  $N = 0, 2, 4, 6$  нужно подать уровень логического нуля. Сигнал, соответствующий переменной  $d$ , нужно подать на входы с номерами  $N = 1, 5$ , сигнал, соответствующий переменной  $e$ , - на вход с номером 3. Соответствующая схемная реализация представлена на рисунке 5.3.

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Логический преобразователь.
- 2) Генератор слов.
- 3) Вольтметр.
- 4) Логические пробники.
- 5) Источник напряжения +5 В.
- 6) Генератор слов.
- 7) Генератор тактовых импульсов.
- 8) Двухпозиционные переключатели.
- 9) Демультимплексор.
- 10) Источник сигнала «логическая единица».
- 11) Логические пробники.
- 12) Микросхема — мультиплексор 1x8.

## 5.1 Задание к лабораторной работе

Исследование мультиплексора

Соберите схему, изображенную на рисунке 5.4. Включите схему. С помощью ключа  $G$  установите на входе  $G$  мультиплексора уровень логического нуля. Поочередно подавая все возможные комбинации логических уровней при помощи ключей  $A, B, C$  на соответствующие входы мультиплексора, для каждой комбинации с помощью логических пробников определите, переключение какого из ключей в левой части схемы изменяет состояние выходов мультиплексора. Обозначение соответствующего входа мультиплексора запишите в таблицу 5.1 в разделе «Результаты экспериментов», указав при этом, как передается входной сигнал на выходы мультиплексора (напрямую или с инверсией). Например, если переключение

ключа 4 изменяет состояние выходов мультиплектора, в таблице в строке с соответствующей комбинацией уровней сигналов на входах А, В, С следует записать для выхода Y - D4, для выхода W -D4;

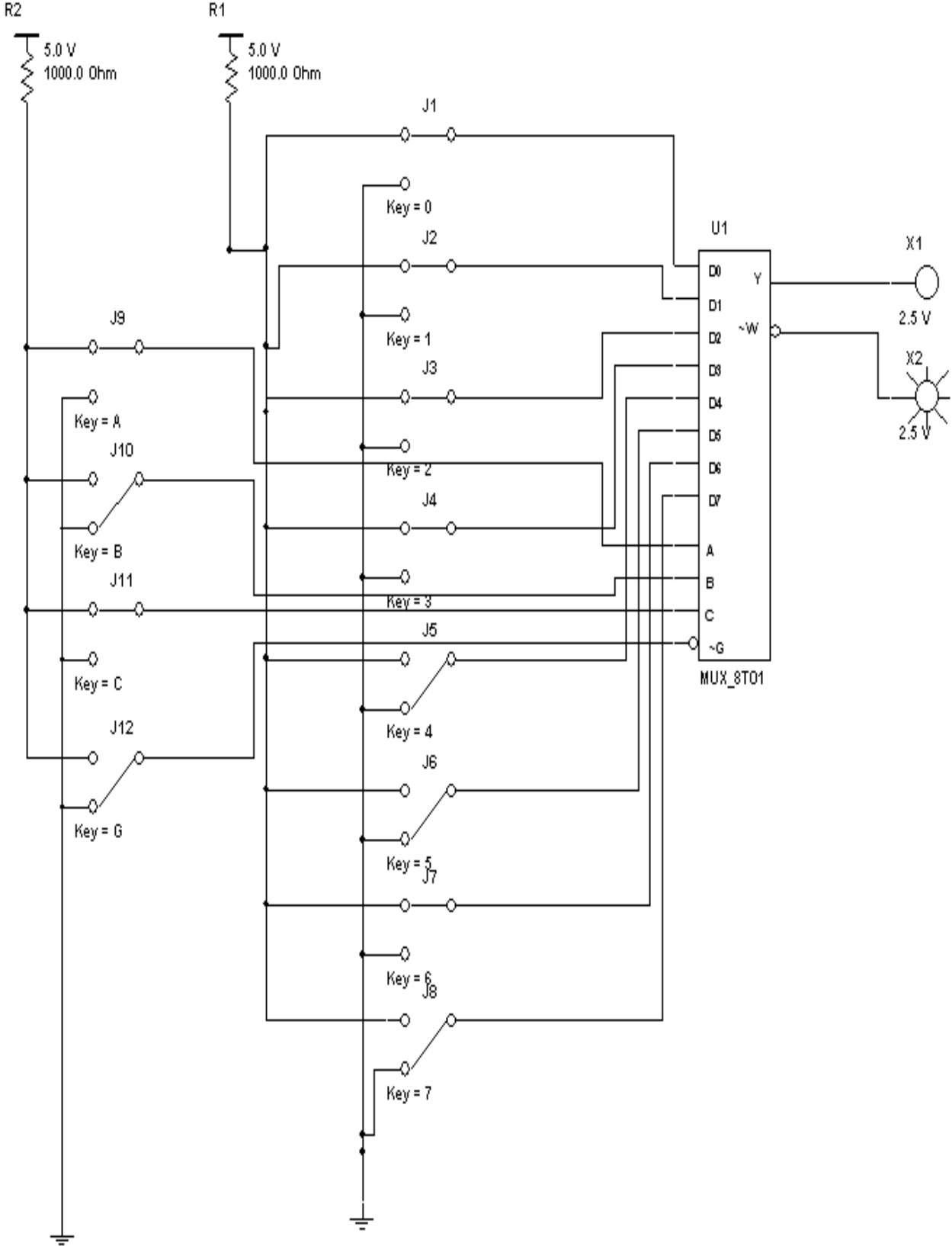


Рисунок 5.4 – Мультиплексор 8X1

- установите при помощи ключа G уровень логической единицы на входе G микросхемы. В раздел «Результаты экспериментов» запишите обозначения выводов, которые при переключении соответствующих ключей в левой части схемы не влияют на состояние выходов микросхемы;

- исследование мультиплексора с помощью генератора слов;

- соберите схему, изображенную на рисунке 5.4. Включите схему. Подавая в пошаговом режиме слова от генератора слов на входы мультиплексора и наблюдая уровни сигналов на выходах Y и W при помощи логических пробников, заполните таблицу 5.2 в разделе «Результаты экспериментов»;

- реализуйте заданные функции с помощью мультиплексора. Результаты экспериментов занесите в таблицу.

Т а б л и ц а 5.1 – Таблица истинности функции F1

a	b	c	Y	W
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Контрольные вопросы:

1) Функцию какого электрического устройства выполняет мультиплексор для логических сигналов?

2) Каким аналитическим уравнением описывается работа мультиплексора 2x1 с управляющим входом? В уравнении используйте следующие обозначения: входы - A, B, выход - Y, разрешающий вход C. Какие и в каком количестве логические элементы требуются для реализации этого уравнения?

3) Как реализовать схему мультиплексора 2x1 с управляющим входом на элементах И-НЕ?

4) Как можно на основе двух мультиплексоров 2x1 сделать один мультиплексор 4x1? Какие дополнительные элементы понадобятся для этого?

5) Функции скольких переменных можно реализовать без дополнительных элементов (за исключением инверторов) на одном мультиплексоре 4x1?

6) На мультиплексоре 8x1? На мультиплексоре 16x1?



7) При какой форме аналитического представления логической функции, предназначенной для реализации на мультиплексоре, управляющий вход С может быть использован для подачи одного из входных сигналов?

8) Какими логическими уравнениями описывается работа микросхемы сдвоенного мультиплексора 74153?

## **6 Лабораторная работа №6. Ознакомление с принципом работы устройство ввода-вывода для IBM PC**

*Цель работы:* ознакомление с принципом работы устройство ввода-вывода для IBM PC; реализация и исследование функциональных модулей на основе устройства ввода-вывода для IBM PC.

### *Методические рекомендации*

Использование микропроцессорной техники в системах автоматического управления в первую очередь связано с организацией ввода-вывода. Одним из наиболее распространенных способов ввода-вывода является программно-управляемый, при котором сопряжение с системной шиной управляющей ЭВМ осуществляется набором аппаратных средств, обеспечивающих селекцию устройств ввода-вывода (УВВ) и двухсторонний обмен информацией этих устройств с управляющей ЭВМ. В популярном персональном компьютере (ПК) фирмы IBM в адресном пространстве ввода-вывода зарезервировано 32 адреса (от 300H до 31FH) для возможности их использования при проведении различных экспериментов по применению ПК в качестве управляющей ЭВМ. для таких целей различными фирмами, включая и фирму IBM, изготавливаются так называемые макетные платы с ножевым разъемом типа ISA (см. ниже), конструкция которых позволяет размещать на ней ИМС с различным количеством выводов и затем соединять их монтажными проводниками. Некоторые платы содержат буферные элементы, селекторы адреса и шинные формирователи.

Схема устройства ввода-вывода, позволяющего организовать двухстороннюю связь с 32-разрядным УВВ, приведена на рисунке 6.1. Схема несколько изменена, поскольку в библиотеке программы Multisim отсутствует микросхема шинного формирователя 74245, замененная подсхемой из двух ИМС 74244 (обозначена под номером 72245), в результате чего изменена и схема управления (логические элементы U1, U2). Второе отличие заключается в замене двух ИМС 74244, используемых в оригинале в качестве однонаправленных буферов, на одиночные буферные элементы U3...U17, что вызвано крайне неудачным расположением выводов ИМС 74244. Этот недостаток вообще характерен для всех цифровых ИМС из библиотеки Multisim. Достаточно взглянуть на дешифраторы U23, U24 (отечественные аналоги К133ИДЗ, К1533ИДЗ и т.п.), где входы А, В, С, D, G1, G2 расположены с правой стороны, тогда как общепринято располагать их слева. В других ИМС входы и выходы располагаются попеременно с обеих сторон (в

том числе и в 74244). Третье отличие заключается в замене 8-разрядного компаратора 74688, отсутствующего в библиотеке Multisim, на комбинацию логических элементов U20, U21, U22.

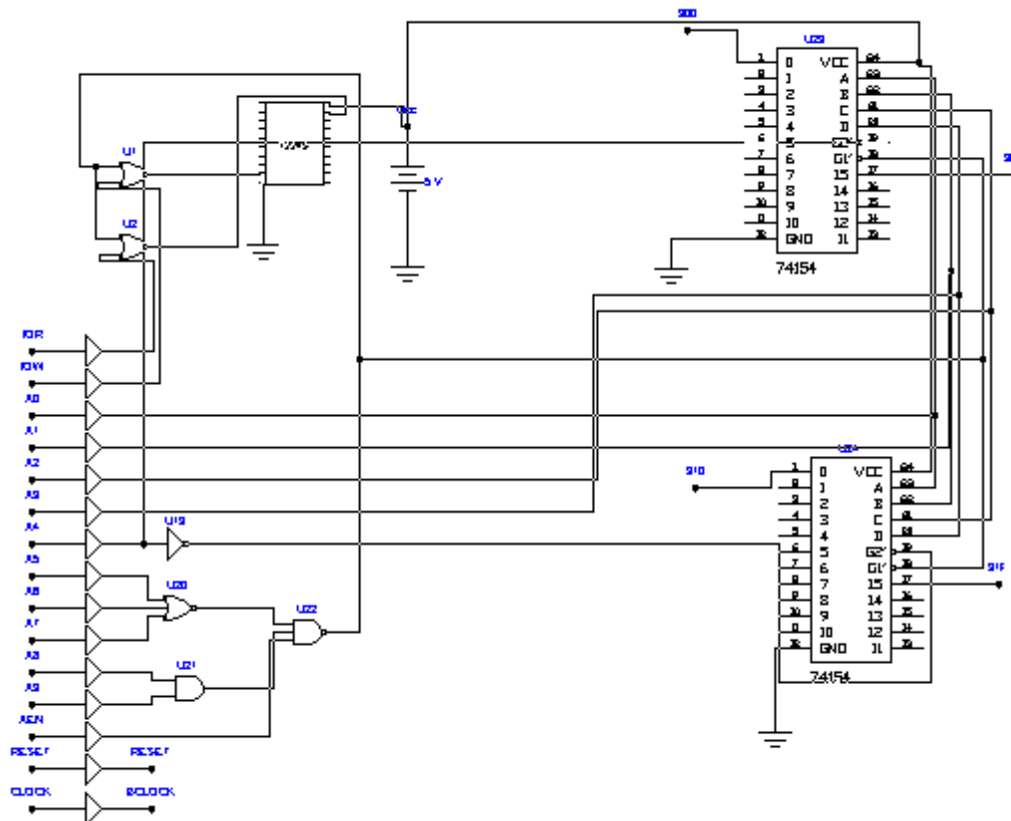


Рисунок 6.1 - Схема устройства ввода-вывода для IBM PC

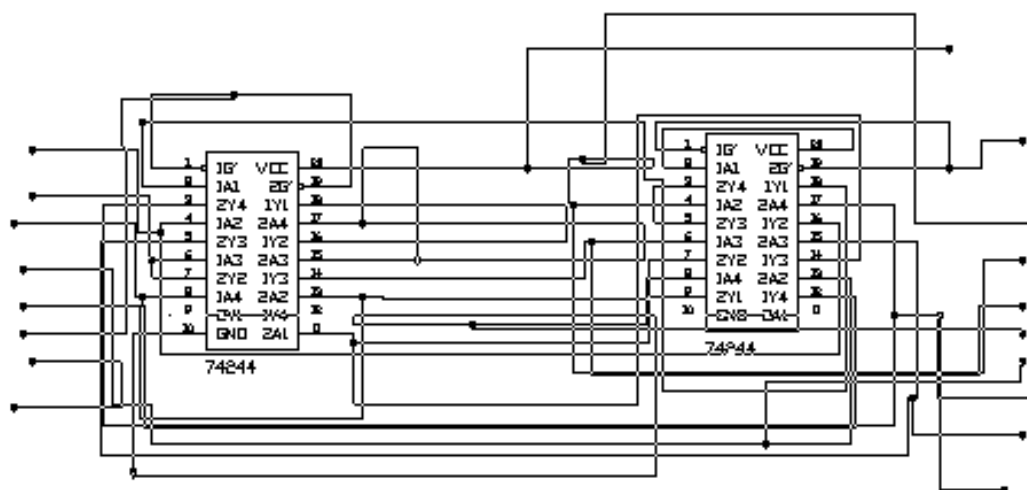


Рисунок 6.2 - Внутренняя структура подсхемы 72245

Схема подсхемы 72245 показана на рисунке 6.2. Подсхема 72245 может быть выполнена также на буферных элементах с тремя состояниями.

Назначение сигналов системной шины IBM PC следующее:

- IOW', IOR' — сигналы записи и чтения с активным низким уровнем для вывода и ввода при обмене с УВВ;

- A0... A9 — сигналы адресной шины;

- D0... D7 — сигналы шины данных (в подсхеме 72245). Во время цикла записи в УВВ микропроцессор выдает эти сигналы перед сигналом IOW', во время цикла чтения порт ввода должен обеспечить выдачу сигналов на шину данных перед сигналом IOR';

- AEN — сигнал разрешения выбора адреса, вырабатывается контроллером прямого доступа к памяти (ПДП) материнской платы IBM PC; в течение цикла ПДП обращение к портам ввода-вывода запрещено, поскольку в это время возможна активизация сигналов IOW', IOR'

- CLOCK (OSC) — системный тактовый сигнал синхронизации, используется по необходимости, на схеме не задействован;

- RESET — сигнал установки всех функциональных узлов системы в исходное состояние после включения питания или нажатия кнопки Reset на системном блоке синхронизируется импульсом OSC.

После передачи этих сигналов через буферные элементы к их имени добавляется префикс В, т.е. BLOW...BDO...BRESET. Сигнал IOA' — разрешение выбора адреса порта УВВ — формируется адресным селектором на ИМС U20, U21, U22 при разрешающем состоянии сигнала AEM, для которого активным является низкий уровень сигнала.

На выходах 0...15 дешифраторов U23, U24 формируются адресные сигналы 32 портов ввода-вывода (от 300H до 31FH) с активным низким уровнем.

Для индикации состояния выходов в простейшем случае может быть использован светодиод IND (на схеме подключен только к одному выходу). Входы дешифраторов G1, G2 разрешающие, при подаче на них сигналов низкого уровня (логического нуля) разрешается формирование сигнала на выходе дешифратора, определяемого двоичным кодом на адресных входах A, B, C, D.

Работа с УВВ на рисунке 6.1 позволяет ознакомиться с аппаратными средствами программного ввода-вывода и отработать навыки по диагностике и локализации неисправностей цифровых систем управления. Приведем примерный перечень таких работ.

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.

Приборы и элементы:

- 1) Логический преобразователь.
- 2) Генератор слов.
- 3) Вольтметр.
- 4) Логические пробники.
- 5) Источник напряжения +5В.

- 6) Источник сигнала «логическая единица».
- 7) Двухпозиционные переключатели.
- 8) Двухвходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ.
- 9) Микросхемы серии 72.

### 6.1 Задание к лабораторной работе

Исследование цепи формирования сигнала  $IOA'$  и выявление (локализация) имеющейся ошибки. Для этого на рабочее поле программы поместите иконку логического преобразователя и к его входам А, В... подключите сигналы А5.. А9, АЕН соответственно, а к выходу OUT — сигнал  $IOA'$  (выход микросхемы U22). Затем двойным щелчком мыши разверните логический преобразователь последовательным нажатием кнопок получите таблицу истинности и булево выражение. После этого проанализируйте таблицу истинности, выделив двоичную комбинацию, при которой  $IOA'=0$  (колонка OUT), а в булевом выражении— слагаемое, соответствующее этой комбинации. При этом необходимо учесть, что  $A=A5$ ,  $B=A6$ ... $F=AEN$ . Найдите ошибку в схеме и исправьте ее (подсказка — нужно заменить буферный элемент для одного из сигналов).

### 6.2 Задание к лабораторной работе

Исследование цепей формирования адресов УВВ. В правый верхний угол рабочего поля программы поместите иконку генератора слова и соедините его выходные клеммы-индикаторы, начиная с правого младшего разряда, со входами А0...А7. Проанализируйте адресное пространство в диапазоне 300Н...31FH и установите требуемое значение сигналов на входах А8, А9 и АЕН, после чего подключите к ним элементы заземления или источник +5V из библиотеки Passive, имитирующие источники логического нуля и единицы соответственно. После этого на экране генератора наберите несколько чередующихся комбинаций двоичных кодов, соответствующих адресу 316Н, и в пошаговом режиме, нажимая клавишу STEP, проверьте факт формирования низкого активного уровня на выходе дешифратора 124, к которому подключен индикатор IND; при правильно выбранной двоичной комбинации его свечение прекращается. Аналогичным образом проверяются все остальные выходы дешифраторов.

Подскажем, что для определения состояния сигналов на адресных входах А5...А9 в диапазоне адресов 300Н...31FH необходимо преобразовать их шестнадцатеричный код в двоичный, заменяя каждую цифру тетрадой с весом разрядов 8-4-2-1, т.е. 300Н=0011 0000 0000, 31FH=0011 0001 1111, откуда видно, что в указанном диапазоне адресов А9=А8=1 и А7=А6=А5=0 (отсчет адресов начинается с младшего, нулевого разряда). Следовательно, ко входам А8, А9 нужно подключить источник сигнала логической единицы (+5V), а ко входам А5, А6, А7 — заземление.

Исследование цепей управления шинным формирователем 72245. для проверки правильности функционирования этого узла ко входам A0.. A9 подключите источники сигналов логического нуля и логической единицы в комбинации, соответствующей адресу ЗИ6Н, а вход AEN заземлите, если не была исправлена ошибка в п. 1. При правильной коммутации после включения источника питания индикатор IND должен погаснуть. Для управления входами IOW', IOR' воспользуйтесь источником напряжения с заданным внутренним сопротивлением из библиотеки Passive и переключателем из библиотеки Control, управляемого клавишей E (read — читать). Для источника питания необходимо правильно выбрать его ЭДС и внутреннее сопротивление с учетом параметров ИМС серии 155.

Схема имитации сигналов IOW' и IOR' показана на рисунке 6.3. В показанном на нем положении переключателя формируется сигнал записи (чтение запрещено, поскольку на входе IOR' — сигнал логической единицы, запрещающий такой режим). При нажатии на клавишу 1 формируется сигнал чтения из УВВ, подключенному по адресу ЗИ6Н, при этом запись запрещена по указанным выше причинам.

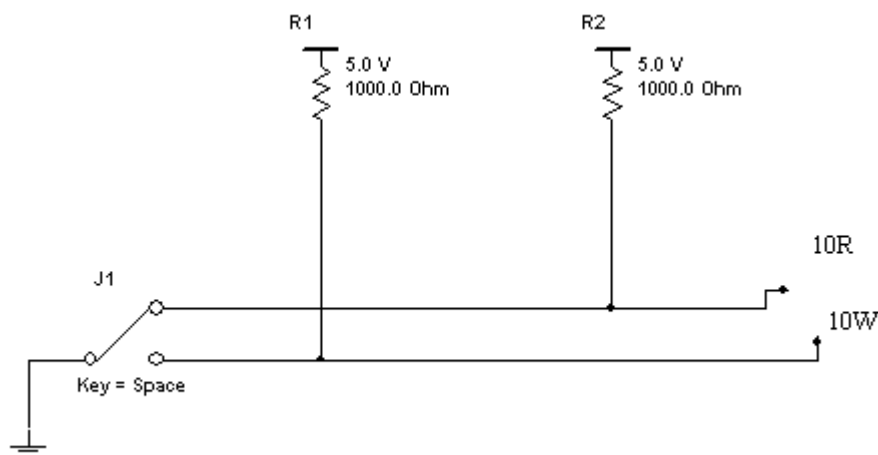


Рисунок 6.3 - Схема имитации сигналов чтения и записи для испытания шинного формирователя 72245

ЭДС источника напряжения для ИМС серии 155 выбирается равной 5 В, а его внутреннее сопротивление примерно равным выходному сопротивлению базового элемента серии 155.

Из рисунка 6.3 видно, что входы управления G1' шинного формирователя 72245 (разрешение записи в УВВ) и G2' (разрешение чтения из УВВ) подключены к выходам двухвходовых логических элементов ИЛИ U1 и U2 соответственно, которые в реализуют функции двухвходовых элементов И для активных инверсных сигналов на входах, т.е.

$$G1' = IOW' \cdot IOA' \text{ (режим записи),}$$

$$G2' = IOR' \cdot IOA' \text{ (режим чтения).}$$

Для проверки режима записи ко входам D0...D7 формирователя 72245 подключите генератор слова, а к двум его выходам, например BD0 и BD7, индикаторы из библиотеки Indic. Задавая соответствующие комбинации восьмиразрядного кода на входе, на выбранных выходах будем наблюдать передачу сигналов через шинный формирователь на УВВ, подключенном по адресу З16Н..для проверки режима чтения из УВВ генератор слова и индикаторы меняются местами, а переключатель в схеме на рисунке 3 переводится в режим формирования сигнала IOR`.

Если одно УВВ работает только на прием информации (например, индикаторное устройство), а второе — только на передачу (например, опрос датчика), то они могут быть подключены к одному адресу, т.е. к одному выходу дешифратора U23 или U24, с помощью схемы на рисунке 4, в которой расщепление адреса производится за счет селекции сигналами чтение-запись. Элементы ИЛИ U25, U26 работают аналогично U1, U2. На рисунке 4  $ADR_i'$  — адресный сигнал с дешифратора U23 или U24,  $ADRR_i'$  — адресный сигнал только передающего УВВ,  $ADRW_i'$  — только принимающего.

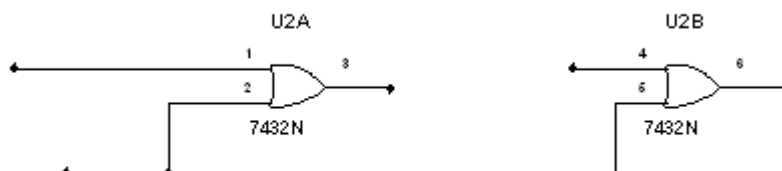


Рисунок 6.4 - Схема расщепления одного адреса на два

Описанные выше сигналы системной шины IBM PC относятся к первой модели этих компьютеров — IBM PC XT. Архитектура системной шины такого компьютера называлась XT BUS и в настоящее время является составной частью более совершенных архитектурных решений. Поскольку IBM PC по существу является микроЭВМ, которую можно использовать в микропроцессорных системах управления, представляется целесообразным привести краткие сведения по существующим архитектурным решениям организации внутреннего интерфейса этих микроЭВМ.

XT-BUS — шина архитектуры XT — первая в семействе IBM PC. Относительно проста, поддерживает обмен 8-разрядными данными внутри 20-разрядного (1 Мбайт) адресного пространства (обозначается как “разрядность 8/20”), работает на частоте 4,77 МГц. Конструктив — 62-контактный разъем (слот).

ISA (Industry Standard Architecture — архитектура промышленного стандарта) — основная шина PC AT (другое название — AT-BUS). Является расширением XT-BUS, разрядность - 16/24 (16 Мбайт), тактовая частота – 8 МГц предельная пропускная способность – 5,55 Мбайт/с. Разделение IRQ (аппаратные прерывания) невозможно. Допускается нестандартная организация Bus Mastering (УВВ с возможностью автономного управления

системной шиной МП-системы), но и для этого нужен запрограммированный 16-разрядный канал DMA (прямой доступ к памяти). Количество разъемов шины на одном сегменте ограничено четырьмя. Сегментов может быть несколько, они соединяются друг с другом посредством мостов (bridge). Сегменты могут объединяться в различные топологии (дерево, звезда и т.п.).

В настоящее время самая популярная шина, используется также на других компьютерах. Разъем похож на MCA/VLB, но чуть длиннее (124 контакта). 64-разрядный разъем имеет дополнительную 64-контактную секцию с собственным ключом. Все разъемы и карты к ним делятся на поддерживающие уровни напряжения питания 5В, 3,3 В и универсальные; первые два типа должны соответствовать друг другу, универсальные карты вставляются в любой разъем.

Существует также расширение MediaBus, введенное фирмой Asustek и содержащее дополнительный разъем с сигналами шины ISA.

PCMCIA (Personal Computer Memory Card International Assosiation — ассоциация производителей плат памяти для персональных компьютеров) — внешняя шина компьютеров класса 16/26, другое название модуля PCMCIA — PC Card, предельно проста, разрядность — 16/26 (адресное пространство — 64 Мбайт), поддерживает автоконфигурацию, возможно подключение и отключение устройств в процессе работы компьютера. Конструктив — миниатюрный 68-контактный разъем. Контакты питания сделаны более длинными, что позволяет вставлять и вынимать карту при включенном питании компьютера. Аппаратное обеспечение внутреннего интерфейса выполняется с помощью набора микросхем — чипсетов.

Chip Set — набор микросхем (чипсет). Это одна или несколько микросхем, специально разработанных для “обвязки” микропроцессора. Они содержат в себе контроллеры прерываний, прямого доступа к памяти, таймеры, систему управления памятью и шиной — все те компоненты, которые в оригинальной IBM PC собраны на отдельных микросхемах. Обычно в одну из микросхем набора входят также часы реального времени с CMOS-памятью и иногда — контроллер клавиатуры, однако эти блоки могут присутствовать и в виде отдельных чипов. В последних разработках в состав наборов микросхем для интегрированных плат стали включаться и контроллеры внешних устройств.

Внешне микросхемы чипсета выглядят, как самые большие после процессора, с количеством выводов от нескольких десятков до двух сотен. Название набора обычно происходит от маркировки основной микросхемы: 0PT1495SLC, S1S471, UMC491, 182C437VX и т.п. При этом используется только код микросхемы внутри серии: например, полное наименование S1S471 — S1S85C471. В последних разработках используются и собственные имена; в ряде случаев это фирменное название (Neptun, Mercury, Tripton, Viper) либо собственная маркировка чипов третьих фирм (ExperChip, PC Chips).

Тип набора в основном определяет функциональные возможности платы: типы поддерживаемых процессоров, структура/объем кэша, возможные сочетания типов и объемов модулей памяти, поддержка режимов энергосбережения, возможность программной настройки параметров и т.п. На одном и том же наборе может выпускаться несколько моделей системных (материнских) плат, от простейших до довольно сложных с интегрированными контроллерами портов, дисков, видео и т.п.

Контрольные вопросы:

- 1) Как свойство запоминания отражается в характеристических уравнениях триггеров?
- 2) В чём принципиальное отличие работы синхронных триггеров от асинхронных?
- 3) Какова приоритетность информационных и установочных входов в синхронных триггерах?
- 4) Как работает D-триггер?
- 5) Почему T-триггер получил название счетного?
- 6) Какое число импульсов он может сосчитать?
- 7) Как работает D-триггер, если  $D=Q$ ?
- 8) Каким образом к УВВ подключаются несколько устройств ввода информации и устройств вывода?

## **7 Лабораторная работа №7. Ознакомление с принципом работы арифметико-логического устройства**

*Цель работы:* ознакомление с принципом работы арифметико-логического устройства (АЛУ).

*Методические рекомендации*

Все арифметические и логические операции выполняются в арифметико-логическом устройстве (АЛУ).

ИМС арифметико-логического устройства (АЛУ) 74181 (К1 55ИПЗ) может быть использована в качестве четырехразрядного сумматора. Эта ИМС обеспечивает 32 режима работы АЛУ в зависимости от состояния управляющих сигналов на входах М, 80.. 83. Показанная на рисунке 7.1 схема на базе этой ИМС позволяет оперативно реализовать все упоминавшиеся режимы.

*Описание лабораторной установки:* лабораторная работа выполняется с применением электронной лаборатории на IBM PC Multisim. При выполнении лабораторной работы следует пользоваться рекомендуемой литературой.



Приборы и элементы:

- 1) Логический преобразователь.
- 2) Генератор слов.
- 3) Вольтметр.
- 4) Логические пробники.
- 5) Источник напряжения +5В.
- 6) Источник сигнала «логическая единица».
- 7) Двухпозиционные переключатели.
- 8) Двухвходовые элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ.
- 9) Микросхемы серии АЛУ.

## 7.1 Задание к лабораторной работе

Возможные режимы задаются с помощью переключателей 0, 1, 2, 3 для подачи сигналов 0 («земля») или 1 (+5 В) на входы управления S0, S1, S2, S3. В положении переключателя М, показанном на рисунке 7.1 (сигнал 0 на входе М), выполняются 16 арифметических операций (16 комбинаций сигналов S0...S3) с учетом переноса по входу Сп (переключатель С в показанном на рис. 13 положении) или без учета переноса (сигнал 0 на входе Сп переключателя С). При переводе ключа М в другое положение (на входе М сигнал 1) выполняются 16 логических операций, задаваемых теми же переключателями 0... 3.

Значения четырехразрядных операндов А и В задаются с помощью генератора слова и в шестнадцатеричном коде отображаются на алфавитно-цифровых индикаторах. На выходах F0...F3 результат суммирования отображается индикатором F. При коде 1111 на этих выходах и при равенстве операндов выход А=В переводится в единичное состояние. Поскольку этот выход представляет собой каскад с открытым коллектором, то на него подается питание +5 В через резистор 1 кОм. Выход А=В совместно с выходом переноса CN+4 и выходом Р подтверждения переноса используются для формирования признаков А>В и А<В с помощью дополнительных логических элементов U1, U2, U3.

Изменяя состояния сигналов на управляющих входах, можно промоделировать большинство функций АЛУ, используемых в микропроцессорах. Приведем перечень этих функций.

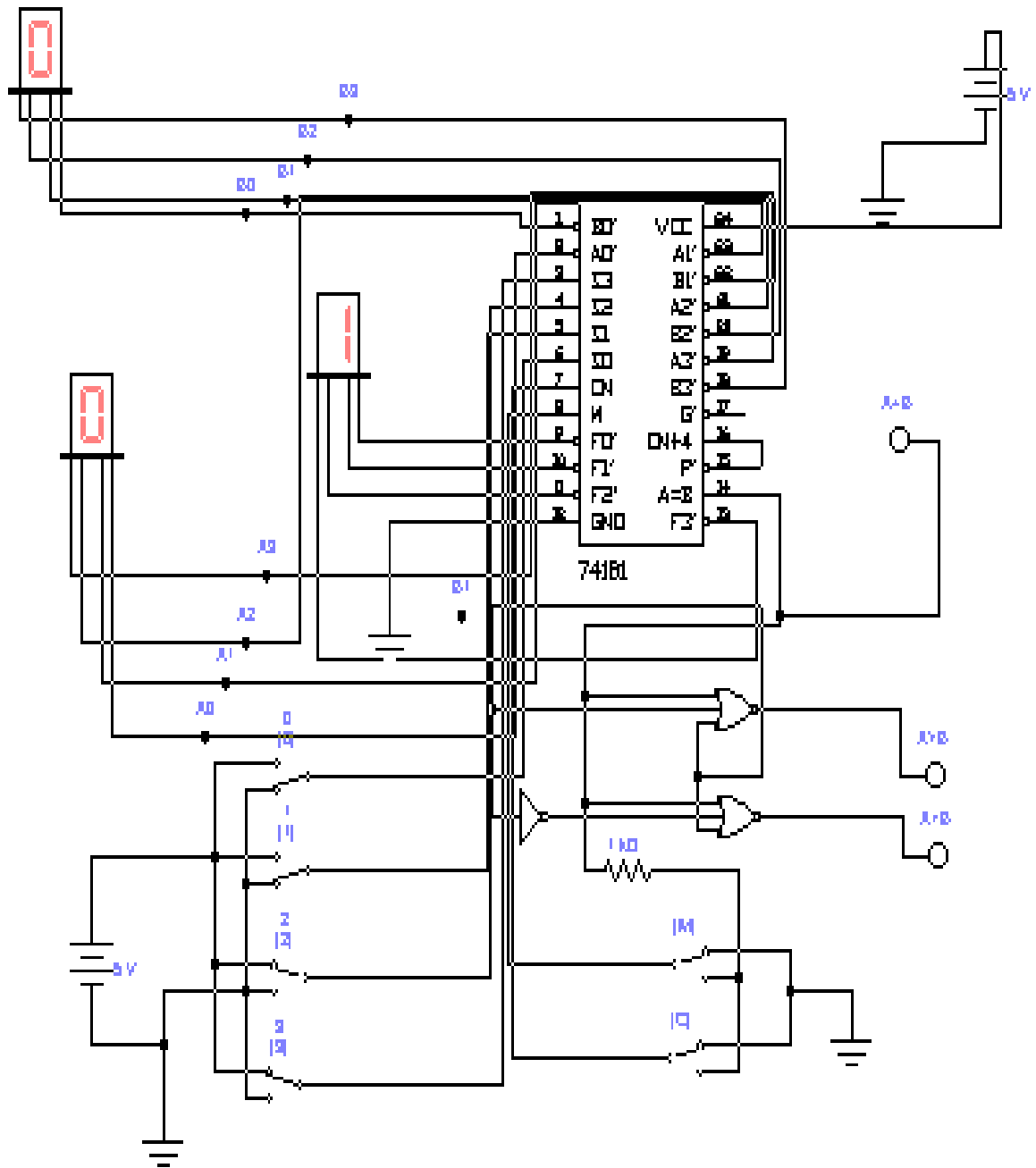


Рисунок 7.1 - АЛУ на ИМС 74181

## 7.2 Задание к лабораторной работе

Логические функции (на входе М сигнал 1); выполняются поразрядно, переносы не учитываются.

Код 0000 на входах S3, S2, S1, S0; при этом выполняется логическая функция  $A'$  — данные со входов А передаются на выходы F с инверсией, может быть использована в команде CMA (здесь и далее используется мнемоника команд микропроцессоров семейства 80xx фирмы Intel).

0001-  $(A+B)'$  - поразрядная операция ИЛИ с инверсией над операндами A и B;  
 0010 —  $A'B$  — операция И инвертированного операнда A и операнда B;  
 0011—O—нет операции;  
 0100 —  $(AB)'$  — операция И с инверсией;  
 0101 —  $B'$ — инверсия операнда B;  
 0110 —  $A\Phi B$  — операция Исключающее ИЛИ, команда XA;  
 0111 —  $AB'$ — операция И над операндами A и инверсией B;  
 1000—  $A'+B$  — операция ИЛИ над инверсией A и операндом B;  
 1001 —  $(A+B)'$  — операция ИЛИ с инверсией;  
 1010—  $B$  — передача на выход операнда B;  
 1011 —  $AB$  — операция И, команда ANA;  
 1100—1;  
 1101 —  $A+B'$  — операция ИЛИ над инверсией B и операндом A;  
 1110— $A+B$ —операция ИЛИ, команда ORA;  
 1111 —  $A$  — передача на выход операнда A.

Арифметические операции (M0) без переноса ( $C_n=1$ ) и с переносом ( $C_n=0$ , данные приводятся в круглых скобках):

0000 —  $A$  — передача на выход операнда ( $A+1$  — суммирование операнда с 1 переноса, команда инкремента).  
 0001 —  $A+B$  — операция суммирования без учета переноса, команда ADD ( $(A+B)+1$  — суммирование с учетом переноса, команда ADC);  
 0010 —  $A+B'$  — операция суммирования операнда A с инверсией операнда B без учета переноса ( $(A+B')+1$  — то же, но с учетом переноса);  
 0011 —  $-1(0)$ ;  
 0100 —  $A+AB'$  ( $A+(AB)'+1$ ). Далее мы от комментариев воздержимся в надежде, что из вышеизложенного все и так очевидно;  
 0101 —  $(A+B)+AB'$  ( $(A+B)+AB'+1$ );  
 0110 —  $A-B-1$ , команда SBB ( $A-B$ , команда SUB);  
 0111— $AB'-1$  ( $(AB)'$ );  
 1000 —  $A+AB(A+B+1)$ ;  
 1001 —  $A+B$ , команда ADD ( $A+B+1$ );  
 1010—  $(A+B')+AB$  ( $(A+B')+AB+1$ );  
 1011- $AB-1$  ( $AB$ );  
 1100 —  $A+A(A+A+1)$ ;  
 1101 —  $(A+B)+A$  ( $(A+B)+A+1$ );  
 1110—  $(A+B')+A$  ( $(A+B')+A+1$ );  
 1111— $A-1$  ( $A$ ).

Контрольные вопросы:

- 1) Какие две функции выполняет блок *управления и синхронизации* (БУС)?
- 2) Какую функцию выполняет дешифратор команд?
- 3) Какое устройство формируют БУС и АЛУ?
- 4) Какие сигналы поступают от триггера переноса?

- 5) Какие сигналы поступают на все остальные компоненты микропроцессора от БУС?
- 6) Что такое управляющие сигналы?
- 7) Что такое синхронизирующие сигналы?
- 8) С помощью каких линий реализуется интерфейс устройства управления с другими модулями микрокомпьютера?

## Список литературы

1. Карлащук В. Электронная лаборатория на IBM PC. EWB. – М.: Солон, 2005 г. - 574 с.
2. Токхайм Р. Основы цифровой электроники. – М.: Мир, 2008 г. - 392 с.
3. Токхайм Р. Микропроцессоры: Курс и упражнения. – М.: Энергоатомиздат, 2008 г. - 336 с.
4. Ауэзова А.М. Элементы и устройства автоматики - Алматы, АУЭС, 2013. - 116 с.
5. Мюллер С. Модернизация и ремонт ПК. – М.: Вильямс, 2007. - 1184 с.

## Содержание

Введение.....	3
1 Лабораторная работа № 1. Изучение структуры и алгоритмов работы асинхронных и синхронных триггеров.....	4
2 Лабораторная работа № 2. Изучение структуры и исследование работы суммирующих и вычитающих счетчиков. Изучение способов изменения коэффициента пересчета счетчиков.....	10
3 Лабораторная работа № 3. Исследование работы счетчиков с коэффициентом пересчета, отличным от «2 <sup>n</sup> ».....	16
4 Лабораторная работа № 4. Ознакомление с принципом работы дешифраторов. Исследование влияния управляющих сигналов на работу дешифраторов. Реализация и исследование функциональных модулей на основе дешифраторов.....	18
5 Лабораторная работа № 5. Ознакомление с принципом работы мультиплексора. Реализация и исследование функциональных модулей на основе мультиплексоров.....	25
6 Лабораторная работа № 6. Ознакомление с принципом работы устройства ввода-вывода для IBM PC.....	33
7 Лабораторная работа № 7. Ознакомление с принципом работы арифметико-логического устройства.....	40
Список литературы.....	45

Ауэзова Алма Мухамбетжановна

ИНТЕГРИРОВАНИЕ ЦИФРОВОЙ ТЕХНИКИ В СИСТЕМЫ  
АВТОМАТИЗАЦИИ УПРАВЛЕНИЯ

Методические указания  
по выполнению лабораторных работ  
для магистрантов специальности  
6М070200 – Автоматизация и управление

Редактор Н.М.Голева  
Специалист по стандартизации Н.К.Молдабекова

Подписано в печать \_\_\_\_\_  
Тираж 75 экз.  
Объем 2,9 уч.-изд.л.

Формат 60x84 1/16  
Бумага типографская №\_\_  
Заказ \_\_\_\_\_.Цена 1450\_тенге.

Копировально-множительное бюро  
некоммерческого акционерного общества  
“Алматинский университет энергетики и связи”  
050013, Алматы, ул.Байтурсынова, 126